

立创.泰山派硬件手册 V1.0



立创·泰山派介绍

泰山派是一款开源的卡片电脑, 提供全面开放的软硬件资料, 愿与志同道合的伙伴们共同推动技术的发展和 innovation。

小巧的板子搭载了高配的处理器、引出丰富的外部资源、多样性SDK、赋予创意无限可能。

软硬件结合、项目式学习、解决项目落地难问题、让每一个想法变成现实。



共建开源生态

共建开源生态是我们的目标。为此我们努力把性价比和颜值做到极致。

同时全面开放SDK、原理图、PCB等所有软硬件资料。

提供交流平台、免费训练营、开发者扶持计划等, 让您能够尽情发挥您的才华,

我们坚信自由和定制化是开源生态的核心,

泰山派开发板不仅仅是立创开发板的产品, 它更是我们共同努力的成果。

我们只是抛砖引玉, 期望能够激发出更多的创意和想法,

我们渴望与志同道合的伙伴们携手合作, 共同探索无限可能。

让我们各展所长, 共同建设一个强大的开源生态系统。

泰山派开发板等待着您的加入。

让我们一起推动技术的前进, 一起创未来!



扫码购买



立创·泰山派开发板1G+0G版本



立创·泰山派开发板2G+16G版本

问题反馈

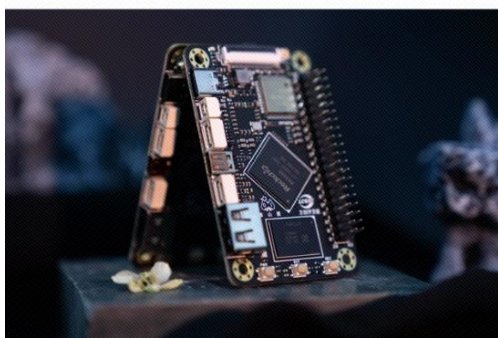
问题反馈:

- 如果您在阅读过程中有任何疑问或建议,欢迎随时与我们联系。
我们随时为您解答问题,提供帮助。您的反馈将帮助我们更好提升我们的产品质量,至此诚挚感谢。
- 在反馈问题时,请尽可能提供以下信息以便我们更快速地为提供解决方案:
问题描述:简述您遇到的问题,包括触发问题的操作步骤和结果。
错误信息:附上任何错误信息或截图以协助我们的分析工作。
设备信息:您使用的开发板型号、固件版本和操作系统。

联系方式



产品展示



前言

欢迎阅读这篇关于泰山派开发板硬件部分的详细文档。我们精心编写这份文档,目的是帮助大家更深入地了解我们的产品——泰山派开发板的硬件构成,以提升您的学习效率和效果。我们深信,通过对硬件的深入理解,您将能够更好地发掘泰山派开发板的潜力,实现您的创新设计。

在这份文档中,我们将着重强调原理图设计和 PCB 设计这两大部分的内容。作为硬件设计的核心环节,原理图设计是电子产品的基础,它决定了整个系统的功能和性能。通过本文档,我们将向大家介绍原理图设计的基本原理和方法,并分享我们在设计过程中的经验和技巧,以帮助您更好地进行原理图设计,为后续的 PCB 设计打下坚实的基础。

而 PCB 设计则是将原理图转化为实际电路板的关键步骤。一个优秀的 PCB 设计能够保证电路的稳定工作、提高信号的传输质量,并且具备良好的可制造性。在本文档中,我们将深入探讨 PCB 设计的各个方面,包括布局、布线、元件选择等,以帮助您提升 PCB 设计的能力。我们将分享我们在高速板 PCB 设计中的注意事项和最佳实践,助您在面对复杂电路设计时能够游刃有余。

此外,本文档还将引导您走进生产流程的后端,了解泰山派开发板的生产过程。您将了解到 PCB 生产工艺、PCB 下单注意事项、SMT 下单注意事项以及测试等环节。我们希望,通过了解这些,您能对电子产品的生产过程有更全面的了解,从而在未来的工作和学习中,能更好地应用和理解相关知识。

我们的目标是让每一个读者都能从这份文档中获得收获,无论您是初学者还是专业人士,我们都希望您能通过阅读这份文档,对泰山派开发板有更深入的理解和掌握。我们诚挚地希望,这份文档能成为您学习旅程中的一盏明灯,照亮您前行的道路。在此,我们要感谢您在选择和使用泰山派开发板过程中的信任和支持。我们期待您在阅读本文档的过程中,能够有所收获,对泰山派开发板有更深入的理解和认识。

如果您在阅读过程中有任何疑问或建议,欢迎随时与我们联系。我们一直在这里,随时为您解答问题,提供帮助。

立创.开发板组硬件团队
2023 年 10 月

免责声明

本文档虽力求准确,但可能存在错误或遗漏,用户需谨慎评估适用性;我们保留随时修订的权利,且不保证旧版本内容的有效性,为了得到最新版本的产品信息,请定时访问立创开发板官网进行资料的更新下载。本文档版权及最终解释权归深圳嘉立创科技集团股份有限公司所有。

请务必注意以上声明,自行评估风险并决策,我们对使用本文档产生的任何问题概不负责。感谢您的包容与支持。

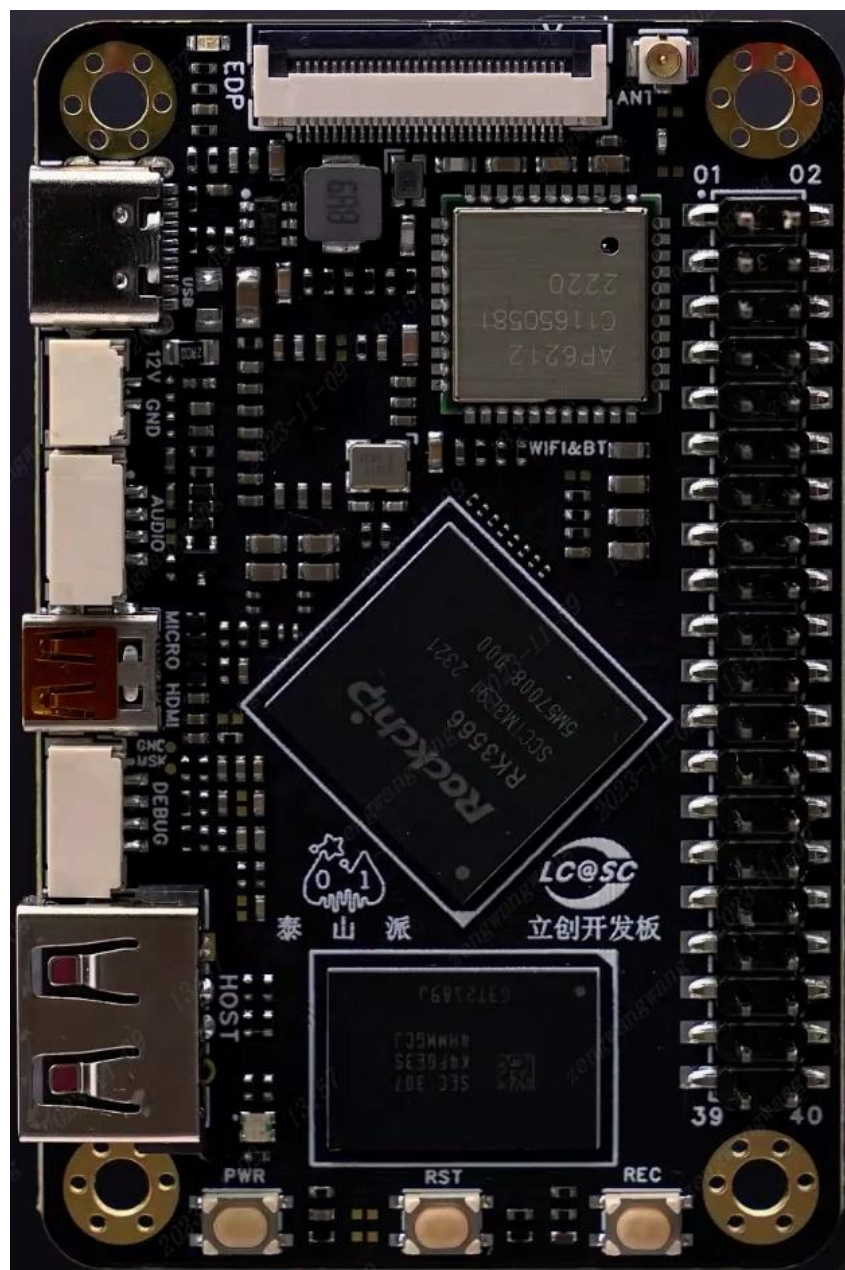
一、泰山派概述:

1.1 介绍:

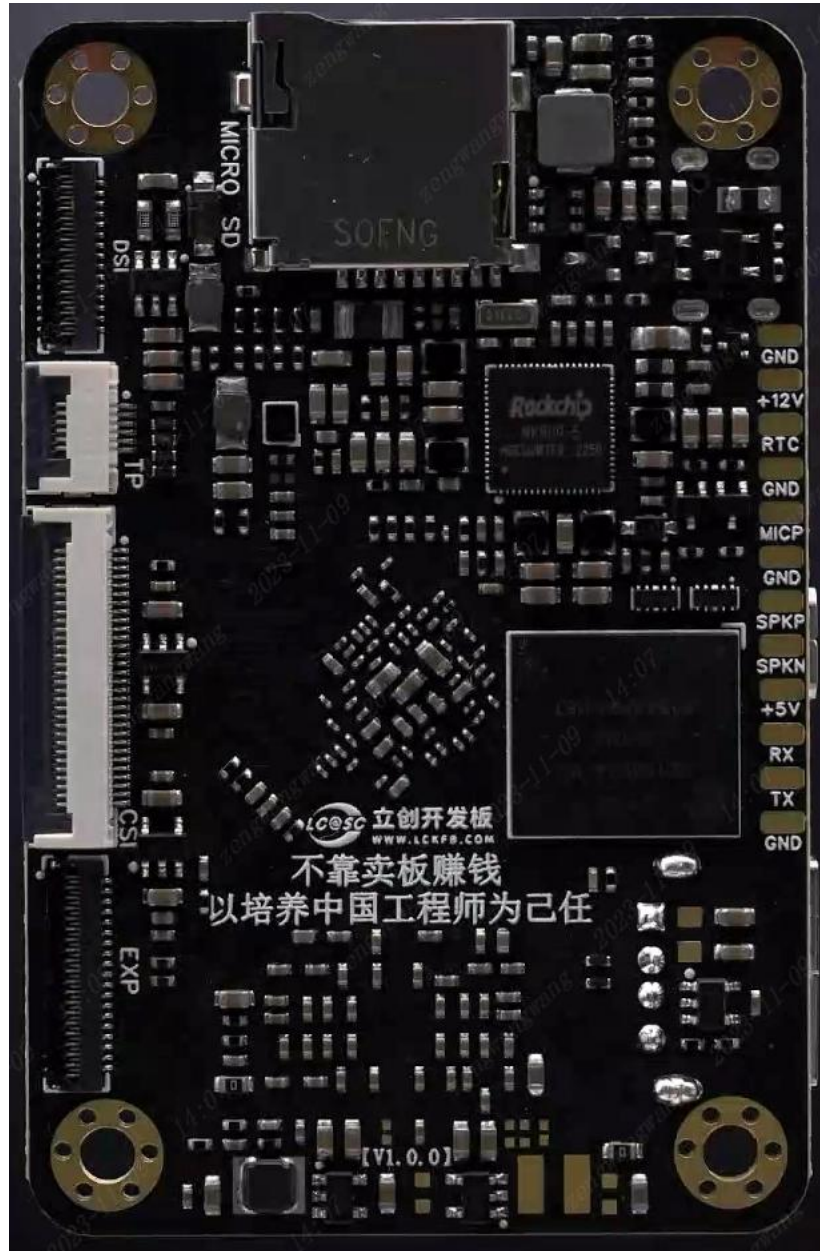
泰山派是一款真正意义上全开源的 Linux 开发板,硬件和软件所有的文件统开源,我们秉承着开放、共享、协同的本质,致力于与全球的合作伙伴和用户共同推动技术的发展和创造。我们相信,只有通过开放的态度和共享的精神,我们才能打破界限,实现协同的效应,创造出更大的价值。我们愿意与所有志同道合的伙伴们一起,共享我们的资源,集中我们的优势,协同我们的力量,不断推动我们的目标向前发展。在未来的日子里,我们将继续坚持开放、共享、协同的本质,不断提升我们的能力和服务,为全球的用户提供更高质量的产品和服务。

泰山派采用 Rockchip RK3566 是中高端 AIOT 芯片,采用 22nm 制程工艺,4 核 Cortex-A55 的 64 位 CPU,主频高达 1.8GHz;集成 ARM Mali-G52GPU,支持 4K60fps 解码,1080P 60fps 编码,支持 8MISP 和 HDR;内置 1Tops 算力的 AI 加速器 NPU,最大支持 8GB 的大内存;拥有丰富的外设接口,集成了 HDMI/EDP/MIPI-DSI/MIPI-CSI/AUDIO/USB/TF 卡/WIFI&BT/TYPE-C,满足用户对于各种外设连接的需求。还支持三屏中任意两屏同显的功能,为用户提供更加灵活和便捷的显示方案。

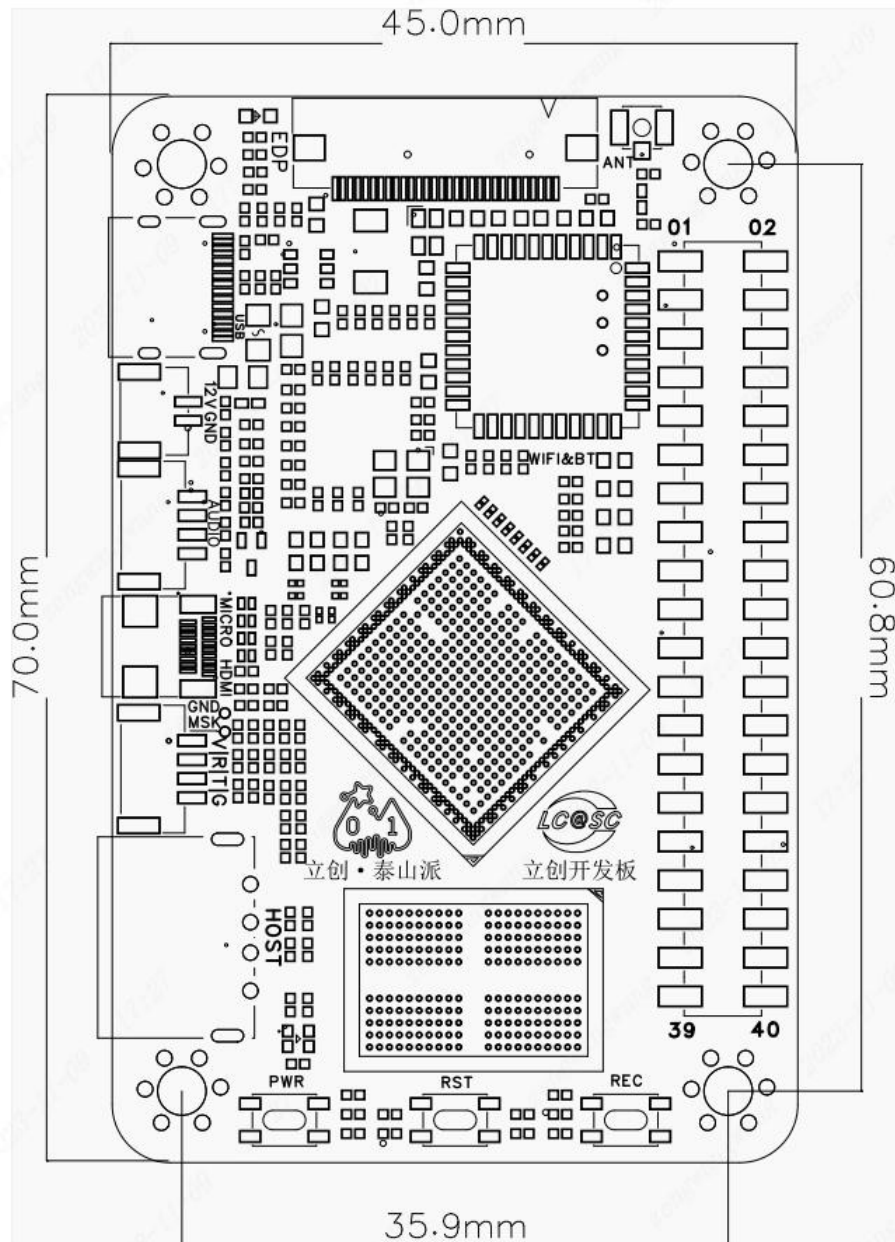
1.2 实物图和尺寸:



正面



反面

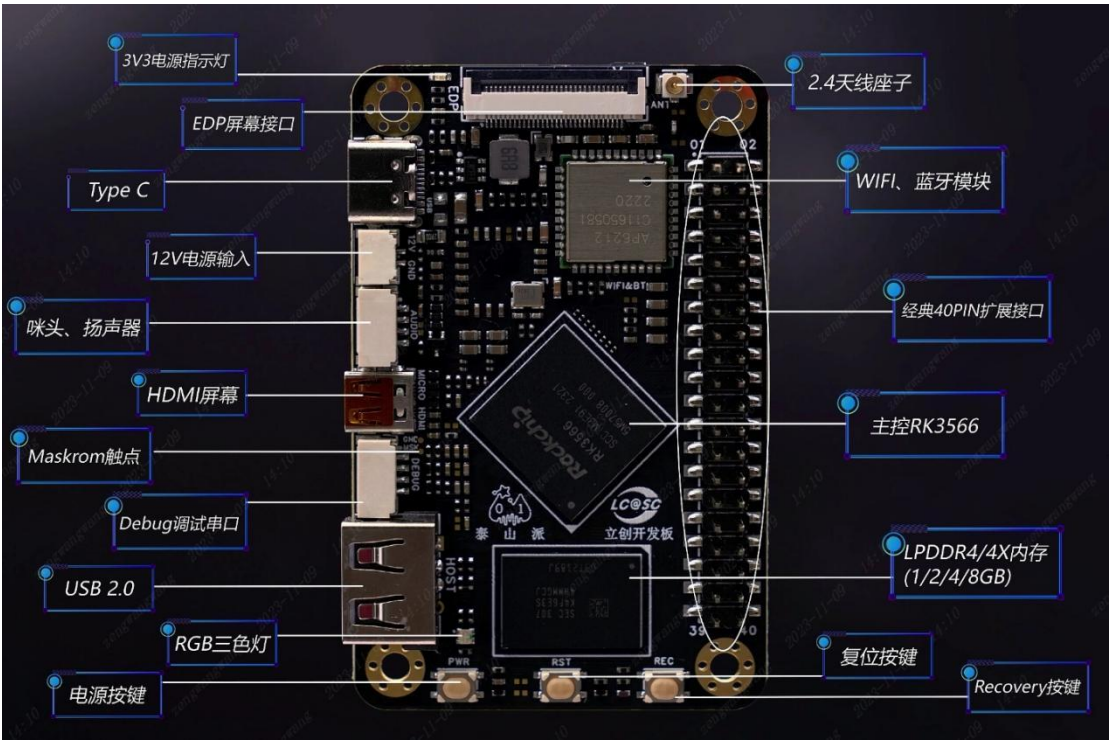


尺寸

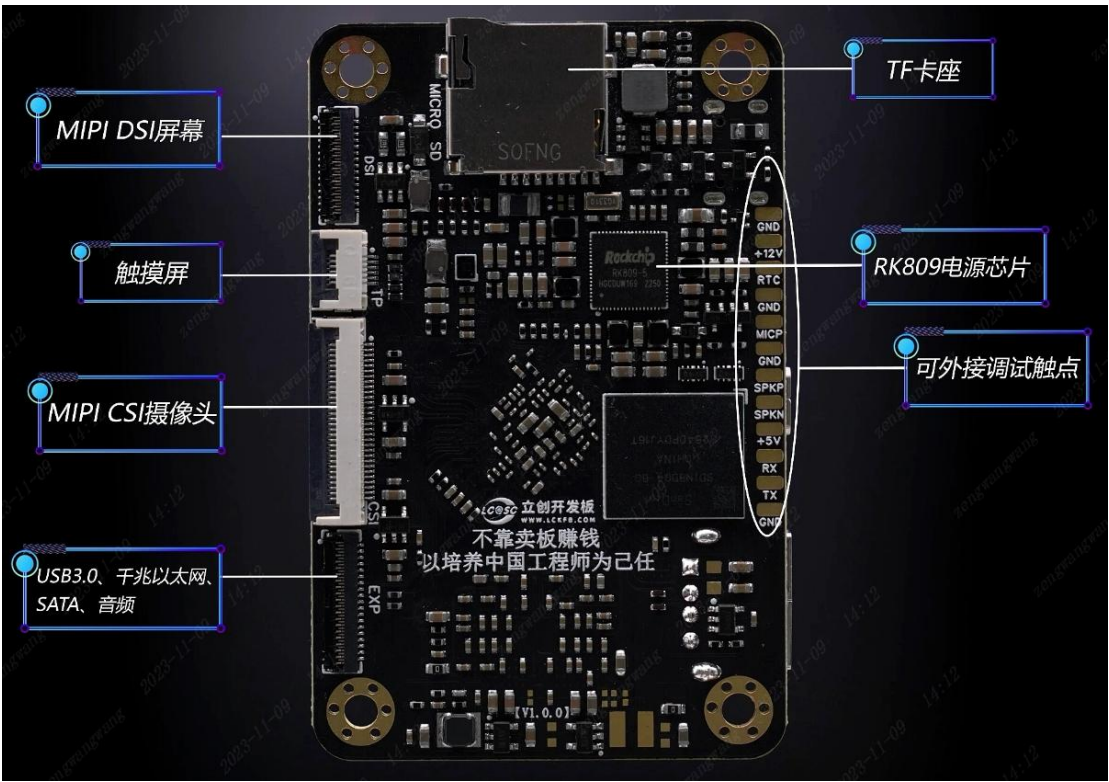
1.3 应用领域

- 教育领域：硬件软件全开源，接口全，性能强，开创项目式学习；
- 多媒体领域：计算机、电视广播、广告机、手机、平板电脑、各种数码产品等；
- 智慧识别领域：人脸、文本、动物、垃圾和各种物体的识别等；
- 边缘计算领域：自动驾驶、智能电网、医疗监控、云游戏等；
- 智能家居设备领域：智能门锁、智能摄像头、智能音箱、智能热水器、智能马桶、智能燃气报警器等；
- 工业控制与制造领域：工控机、机器视觉、仪器仪表等；

1.4 资源介绍图



正面资源标注图



底面资源标注图

1.5 泰山派硬件参数表:

硬件参数		
泰山派主板资源		
主控芯片RK3566	CPU	采用四核Cortex-A55
		ARM G52 2EE
	GPU	支持OpenGL ES 1.1/2.0/3.2, OpenCL 2.0, Vulkan 1.1
		内嵌高性能2D加速硬件
	频率	主频高达1.8GHz
	制造工艺	22纳米
	NPU	高达1.0TOP算力
	视频解码	支持4K 60fps H.265/H.264/VP9
	视频编码	支持1080P 60fps H.265/H.264
内存芯片	ISP	8M ISP和HDR
	LPDDR4/4X	1/2/4/8GB
存储芯片	EMMC	8/16/32/64/128GB
供电方式	USB_Type_C座子	5V3A输入
	GH1.25供电座子	5~18V、2A输入
显示接口	MICRO HDMI屏幕接口	1080P@120Hz、4K@60Hz
	EDP屏幕接口	2560 X 1600@60Hz
	MIPI DSI屏幕接口	1080P@60Hz
摄像头	MIPI CSI摄像头接口	30PIN 4LING 摄像头
通信网络接口	USB2.0座子	Type-A座子
	WIFI&蓝牙模块	频率:2.4GHz;发射功率:16dBm;接收灵敏度:90dBm;
其他接口或模块	调式串口	Dubug串口
	TF卡座	支持TF卡启动系统, 最高支持512GB
	40Pin GPIO	兼容树莓派40Pin接口, 支持PWM, I2C, SPI, UART, GPIO功能
	39Pin 高速信号扩展接口	USB2.0/3.0、100/1000以太网口, SATA, 音频, SIM, mini PCIE等
	扬声器和咪头接口	RK809-5内置1.3W 扬声器
		RK809-5内置咪头
	按键	RK809复位按键
		系统复位按键
		Recovery按键
灯		RGB三色LED灯

1.6 立创.泰山派开发板的功能概述

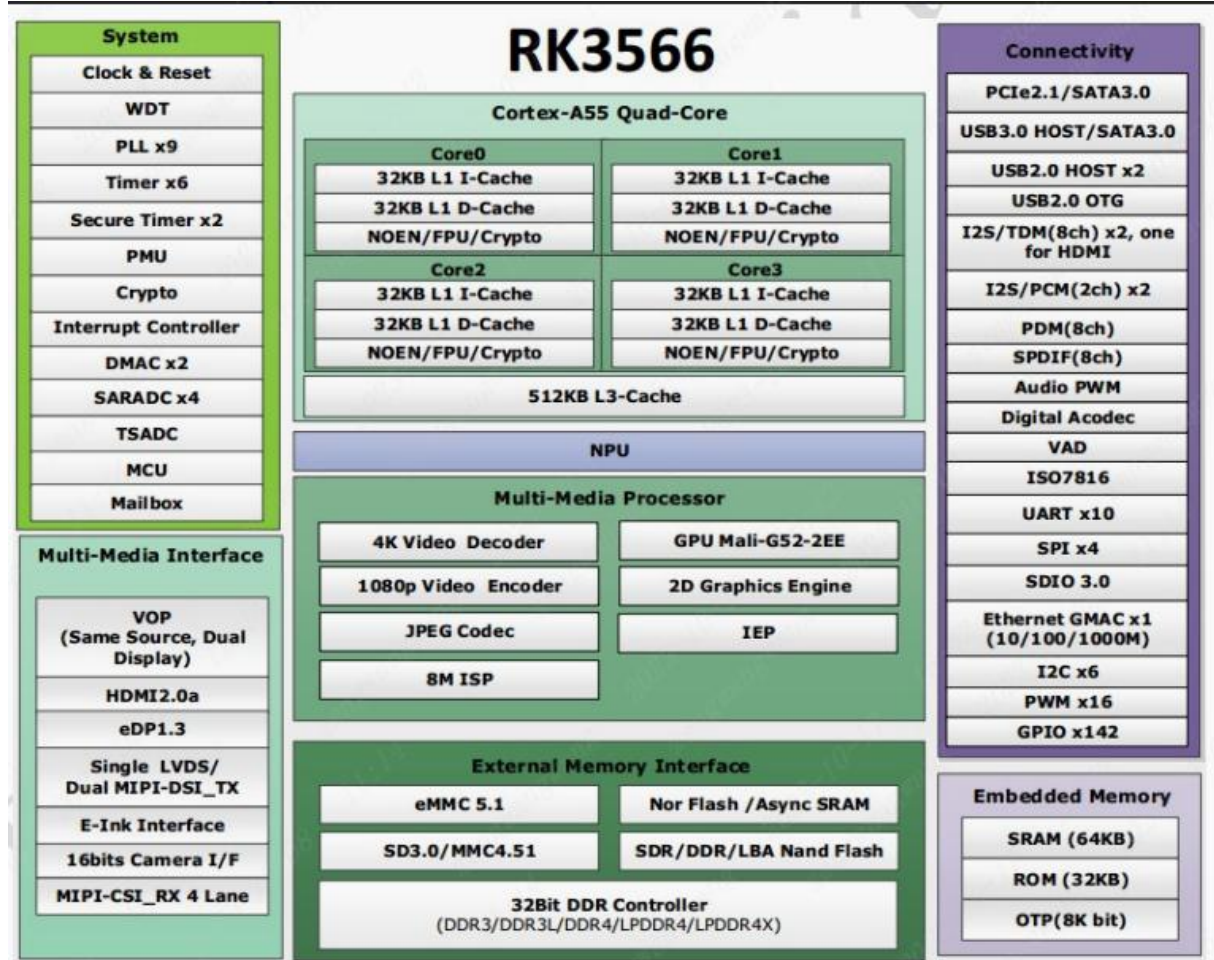
- DC Power: 5V3A 适配器供电, 9V 和 12V 适配器供电, 5V-18V PD 诱骗供电;
- TYPE-C: 一路 USB-TYPE-C 接口, 系统固件升级通道;
- USB2.0 HOST: 一路 USB2.0 standard-A 接口, 可以接鼠标、U 盘、USB HUB 等设备;
- TF Card: 可以外接 TF 卡, 扩展系统存储容量;
- Expansion: 100/1000 以太网口, USB3.0/USB2.0, SATA 接口, PCIE 等扩展接口;
- MIPI CSI: 一路 4lane MIPI 信号输入, 通过 FPC 线连接;
- HDMI: Micro HDMI 最大可支持 4K@60Hz 输出;
- MIPI DSI: 支持 4lane MIPI 信号输出, 通过 FPC 线连接;
- LCM eDP OUT: 外接 eDP 显示屏, 通过 FPC 线连接;
- SDIO Wifi: Wifi 型号为 AP6212, 外置 SMA 天线, 支持无线上网功能;
- Audio: 1.3W 扬声器 和 MIC 录音;
- Debug: 用户调试查看 LOG 信息使用;
- Key: 电源, 复位和升级按键;
- LED: 三色 RGB 灯;

二、RK3566 介绍

2.1 RK3566 概述

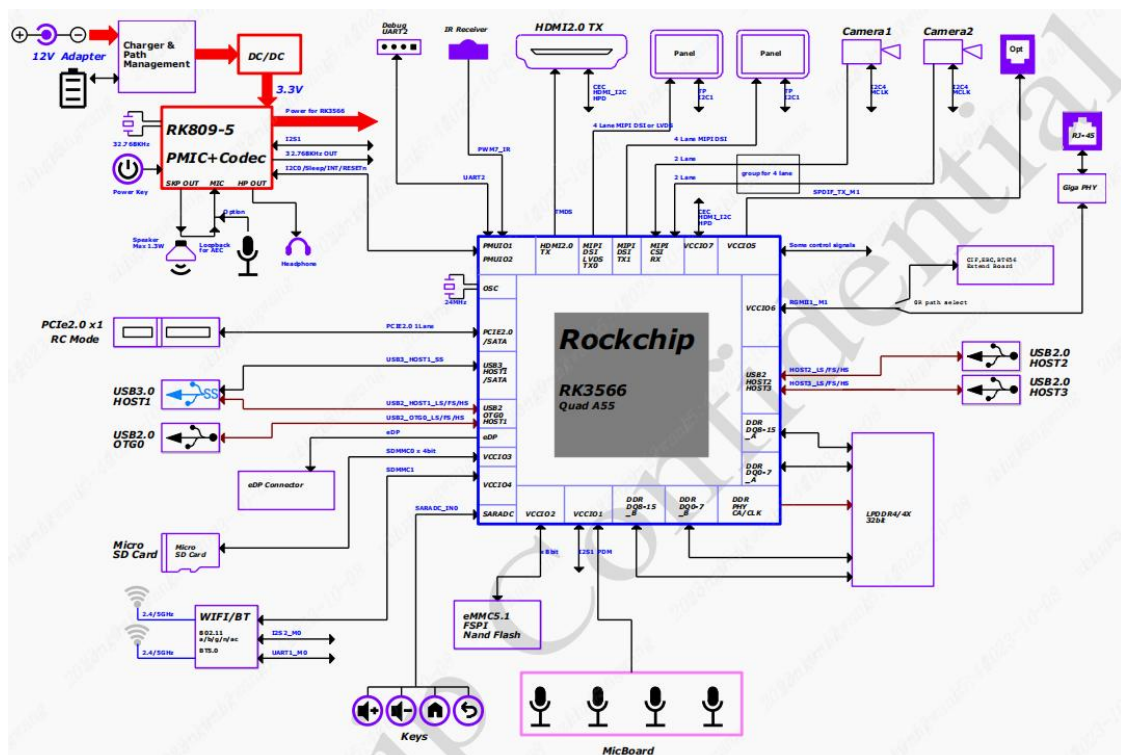
RK3566 为四核 ARM Cortex-A55 低功耗高性能的处理器, 专为个人移动互联网设备和 AIoT 设备设计。提供了许多强大的嵌入式硬件引擎来优化高端应用程序的性能。RK3566 的 H.264 解码器支持 4K@30fps, H.265 解码器支持 4K@60fps, H.264/H.265 编码器支持 1080p@60fps, 以及高质量的 JPEG 编解码。RK3566 嵌入式 3D GPU 完全兼容 OpenGL ES 1.1/2.0/3.2、OpenCL 2.0 和 Vulkan 1.1; 特殊的 2D 硬件引擎使显示性能最大化, 并且能够非常流畅的运行。内置的 NPU 支持 INT8/INT16 混合操作。由于兼容性强, TensorFlow/MXNet/PyTorch/Caffe 等一系列框架的网络模型可以轻松转换。RK3566 有高性能的外部存储器接口, 保证系统高容量高稳定的运行内存带宽, 支持 DDR3、DDR3L、LPDDR3、DDR4、LPDDR4、LPDDR4X 等多种内存型号。

2.2 RK3566 芯片框图



RK3566 芯片框图

2.3 系统框图



RK3566 系统框图

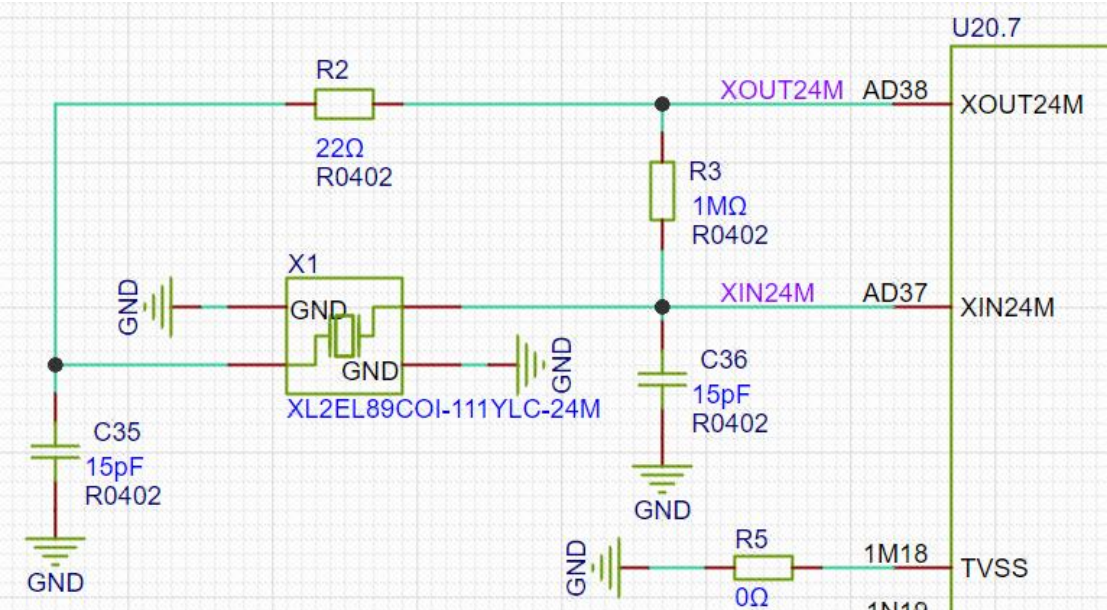
三、基本电路设计:

3.1 最小系统设计:

3.1.1 时钟电路

RK3566 芯片内部的振荡器电路与外置的 24MHz 晶体一起构成系统时钟电路, 推荐的晶体连接方式及器件参数如图下图所示。

XOUT24M 网络串接的 22ohm 电阻必须保留, 用于限流、防止过驱; XOUT24M 和 XIN24M 网络之间的 1M 电阻不可随意修改。



时钟电路

注: 15pF 为我司实际调试测试所得, 并不为通用值。(晶振规格表和测试报告如下)

项目	符号	用于时钟		用于 RF 参考	条件
		FA-238V	FA-238	TSX-3225	
额定频率范围	f_nom	12.000 MHz ~ 15.999 MHz	16.000 MHz ~ 60.000 MHz	16.000 MHz ~ 48.000 MHz	基频 *1 对于超出标准的规格说明, 请联系我们以便获取相关信息
储存温度	T_stg	-40 °C ~ +125 °C			裸存
工作温度	T_use	-40 °C ~ +85 °C			
激励功率	DL	200 μW Max.			推荐: 1 μW ~ 100 μW
频率公差	f_tol	±50 × 10 ⁻⁶ (标准), (±15 × 10 ⁻⁶ ~ ±50 × 10 ⁻⁶ 可用)		±10 × 10 ⁻⁶	+25 °C 对于超出标准的规格说明, 请联系我们以便获取相关的信息*1
频率温度特征	f_tem	±30 × 10 ⁻⁶ /-20 °C ~ +70 °C		±10 × 10 ⁻⁶ /-20 °C ~ +75 °C	对于超出标准的规格说明, 请联系我们以便获取相关的信息*1
负载电容	CL	7 pF ~ ∞			对于超出标准的规格说明, 请联系我们以便获取相关的信息
串联电阻 (ESR)	R ₁	如下表所示			如下表所示
频率老化	f_age	±5 × 10 ⁻⁶ / year Max.		±1 × 10 ⁻⁶ / year Max. *2	-40 °C ~ +85 °C, DL = 100 μW +25 °C, 第一年

*1 FA-238: 对于超出 40 MHz 的频率, 只有标准规格适用。 *2 40.0 MHz ≤ f_nom : ±2 × 10⁻⁶ / year Max.

XL2EL89COI-24M 规格表

3.Measurement Results		
Matching Test	Current Circuit	Recommend Circuit
Circuit Constants	Original 24.000MHz-12pF C35=C36=18pF	YSX321SL-24.000MHz-12pF C35=C36=15pF
Negative Resistance (-R)	NA	1445Ω
Loading of Output Frequency	A:On board (PPM)	23.998709MHZ
	C=A-B Deviation.	-53.79ppm
4.Conclusion		
When C35=C36=15PF, X1: 24.000MHz 12pF -/+10ppm frequency deviation is -3.04PPM -R (Ω) should follow the rule of -R > 5*ESRmax(>250ohm) for stable oscillation. Above conclusion just FYR.		

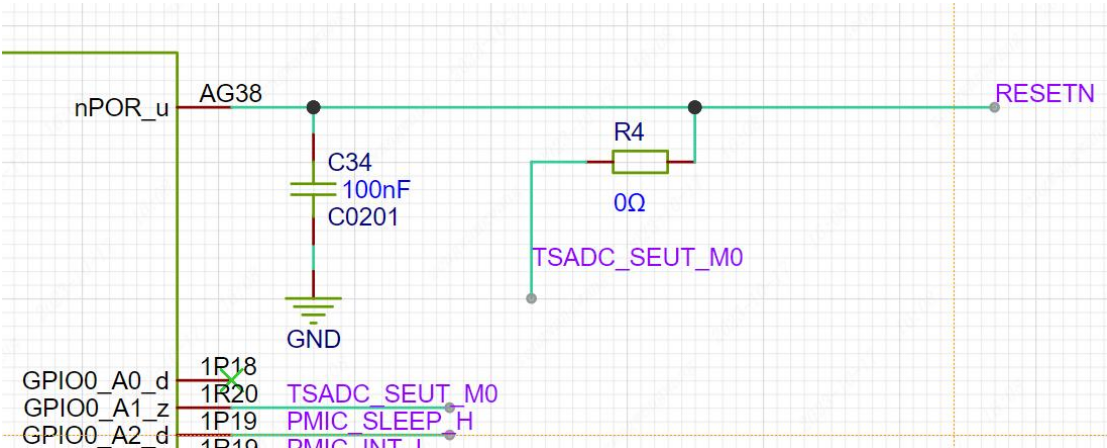
检测报告

3.1.2 复位电路

RK3566 芯片的硬件复位通过 nPOR（RESET）管脚输入，低电平有效，为保证芯片稳定和正常工作，所需的最短复位时间为 100 个 24MHz 主时钟周期，即至少 4us 以上。

复位信号需要靠近管脚并联 100nF 电容，用来消除复位信号上的抖动，增强抗干扰能力，防止误触发导致的系统异常复位。RESET 管脚的上拉电平应与 nPOR 管脚所在的 IO 电源域（PMUIO1）保持一致。参考设计配套 PMIC RK809-5 供电方案，PMIC 的默认输出的各路电源上电完成后，RESET 管脚再延迟输出，低电平跳变成为高电平，完成上电复位动作；当 PMIC 在工作或 sleep 模式下，若 RESET 管脚被拉低，PMIC 也会发生重启，重启的上电时序和默认上电相同。

若设计中未使用配套的 PMIC，选用分立器件实现供电，则应为 RK3566 选用独立的复位 IC、或从其他芯片获取复位信号



复位电路

3.1.3 看门狗/TSADC 电路

RK3566 芯片内部集成了看门狗定时器，当产生看门狗复位时，可以通过 TSADC_SHUT_M0 或 TSADC_SHUT_M1 管脚输出低电平，对 RK3566 进行硬件复位。

RK3566 内部集成了两个 TSADC(Temperature-Sensor ADC)模块，当芯片内部温度超过阈值时，可以通过内部 TSHUT 信号给 CRU 模块，对 RK3566 进行复位。也可以通过 TSADC_SHUT_M0 或 TSADC_SHUT_M1 管脚输出低电平，对 RK3566 进行硬件复位。

3.1.4 系统启动引导顺序

RK3566 系统支持多种启动引导方式, 在系统复位后, 芯片内部集成的启动代码会按如下顺序进行自动引导, 优先级从高到低依次为:

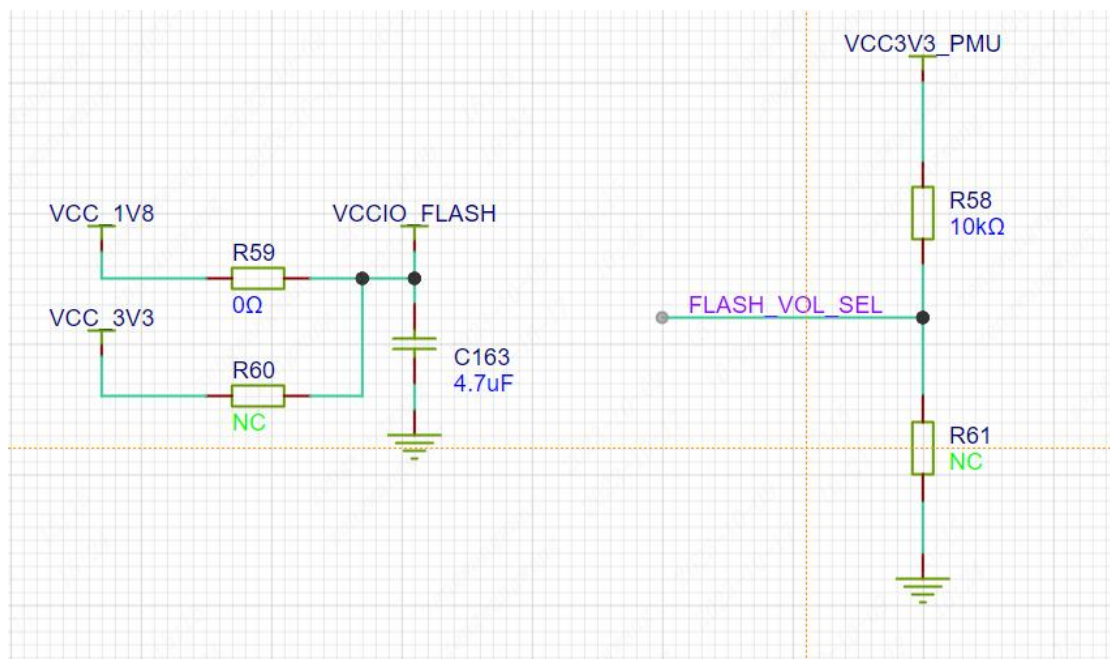
- Serial Nor Flash (FSPI)
- Serial Nand Flash (FSPI)
- Nand Flash
- eMMC Flash
- SDMMC Card

若存储介质中没有引导代码, 在通过 USB OTG0 接口连接到 PC 时, 会在烧录工具中找到 maskrom 设备 (需要安装好对应的驱动), 此时可进行固件的烧录。

3.1.5 系统初始化配置信号

RK3566 系统中有两个重要信号会影响系统的启动配置, 需要在上电前配置完毕并保持状态稳定, 分别是:

- VCCIO2 (FLASH) 电源域的电平配置管脚 FLASH_VOL_SEL;
- JTAG/SDMMC 复用功能控制管脚 SDMMC0_DET; 在系统复位释放时, 芯片会根据两个管脚的输入电平配置相应模块的默认开机功能。
- RK3566 VCCIO2 电源域的 IO 电平模式需要硬件配置, 因为其属于 FLASH 电源域, 对系统引导存在影响, 所以在系统启动的时候, 必须先通过硬件配置来指定默认电平模式, 而无法通过寄存器操作去调整, 配置如下图所示。
- VCCIO2、存储接口的 IO 电平是 1.8V, 则 FLASH_VOL_SEL 管脚在复位期间需保持为高电平;
- VCCIO2、存储接口的 IO 电平是 3.3V, 则 FLASH_VOL_SEL 管脚在复位期间需保持为低电平。
- 该管脚的配置需严格与外部存储接口的实际 IO 供电相匹配, 避免影响系统稳定性或引起损坏。



初始化配置电路

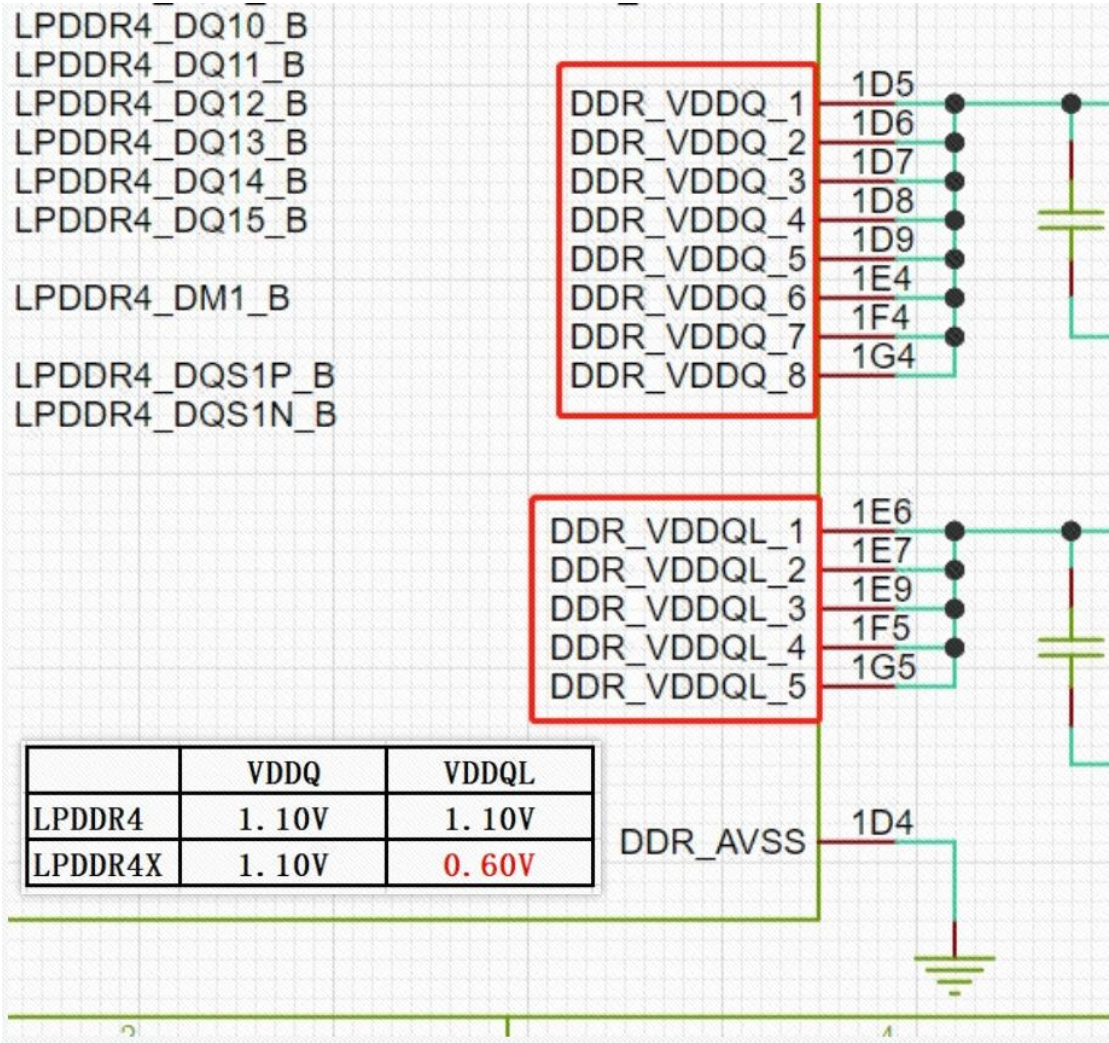
3.1.6 调试 UART 电路
见下方“UART 调试电路”

3.1.7 DDR 电路

3.1.7.1 上电时序要求

对于 LPDDR4 类型的内存颗粒,RK3566 DDR 控制器仅有一组供电:
DDR_VDDQ, DDR_VDDQ 用于 DDR 控制器的 Core 供电、接口 I/O 供电以及输出缓冲器供电。

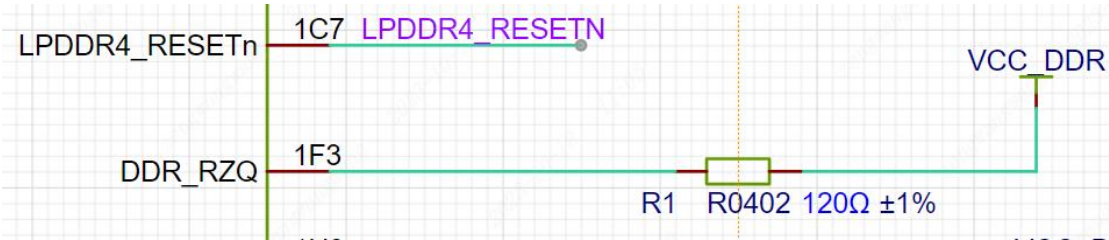
而对于 LPDDR4X 类型的内存颗粒,RK3566 DDR 控制器则分为两组供电:DDR_VDDQ 和 DDR_VDDQL, 后者为输出缓冲器的电源。



LPDDR4/4X 供电详情

3.1.7.2 DDR_RZQ 信号的处理

LPDDR4/LPDDR4X 颗粒, 需要将 DDR_RZQ 通过一颗 1%精度的 120ohm 电阻上拉至 VCC_DDR 电源。



DDR_RZQ 信号电路

3.1.8 eMMC 电路

3.1.8.1 eMMC 控制器介绍

RK3566 eMMC 控制器有如下特点:

- 兼容 iNAND 接口标准;
- 兼容 4.41, 4.51, 5.0 和 5.1 规范;
- 支持 1-bit, 4-bit 和 8-bit 三种数据总线宽度;
- 支持 HS200 模式;
- 支持 CMD Queue;

3.1.8.2 eMMC 拓扑结构与连接方式

eMMC 接口上下拉和匹配设计推荐如下表, 其中 D0 与 CMD 信号的上拉电阻必须保留, DATA_STROBE 信号的下拉电阻建议预留。

eMMC 颗粒的 VDDi 管脚的电容必须为 2.2uF, 或视具体颗粒规格书要求的更大容值。

信号	内部上下拉	连接方式	描述 (芯片端)
eMMC_DQ[7:0]	上拉	直连, D0 用外部 10k 电阻上拉, 其余 Data 线使用内部上拉	eMMC 数据发送/接收
eMMC_CLK	下拉	RK3566 输出端串联 22ohm 电阻	eMMC 时钟输出
eMMC_DATA_STROBE	下拉	直连, 预留下拉电阻	eMMC 时钟输入
eMMC_CMD	上拉	直连, 用外部 10k 电阻上拉	eMMC 命令发送/接收

eMMC 接口上下拉和匹配设计推荐表

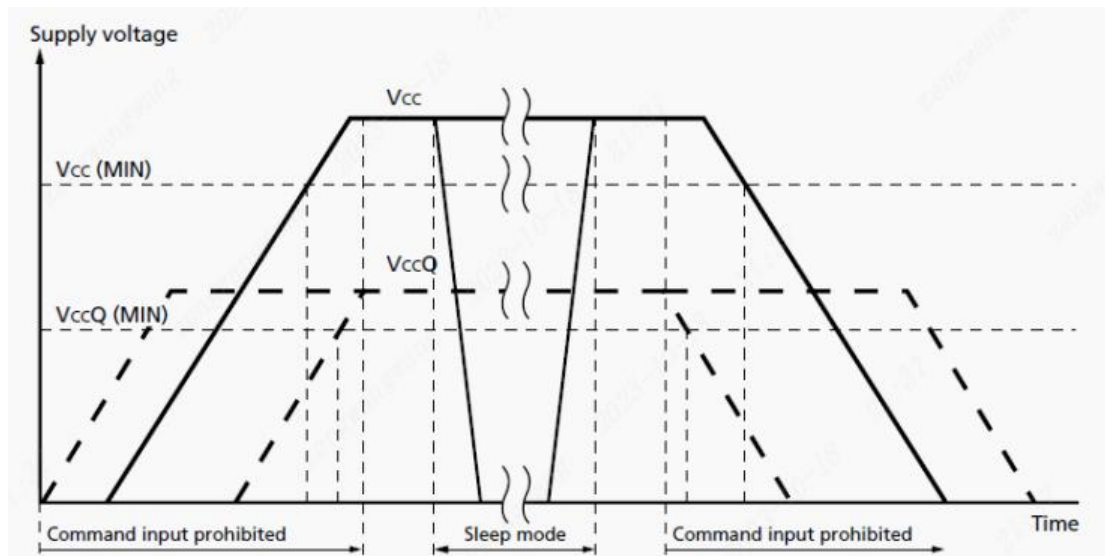
3.1.8.3 eMMC 上电时序要求

RK3566 芯片 eMMC 控制器属于 VCCIO2 电源域, 只有一组供电, 并无时序要求。但需要注意的是, 该电源的电平需与上文提及的 FLASH_VOL_SEL 状态配置相匹配。

eMMC 颗粒有两组电源, 上电时序请参考 JEDEC 标准:

- VCC 与 VCCQ 在上电时序上没有先后要求;
- VCC 与 VCCQ 必须在 RK3566 的 CMD 命令发出前上电, 并保持稳定的工作电压;
- 在颗粒进入睡眠模式后, RK3566 可以关断 VCC 电源以降低功耗;

- 在颗粒从睡眠模式被唤醒前, VCC 电源必须先上电, 并保持稳定的工作电压;



eMMC 上电时序

3.1.8.4 MASKROM 烧录测试点说明

在开发过程中请预留 eMMC D0/CLK 的测试点, 避免固件烧录失败后无法进入 Maskrom 烧录模式, 预留方式见参考原理图, layout 时应严格缩短测试点与信号走线的分支。

3.1.9 GPIO 电路

在 RK3566 中, 共有 10 个独立的 IO 电源域, 分别为 PMUI0[0:2]和 VCCIO[1:7]。其中:

- PMUI00、PMUI01 为固定电平电源域, 不可配置;
- PMUI02 和 VCCIO1, VCCIO[3:7]电源域均要求硬件供电电压与软件的配置相匹配:
- 当硬件 IO 电平接 1.8V, 软件电压配置也要相应配成 1.8V;
- 当硬件 IO 电平接 3.3V, 软件电压配置也要相应配成 3.3V;
- VCCIO2 电源域软件不需要配置, 但是其硬件供电电压与 FLASH_VOL_SEL 状态必须相匹配:
- 当 VCCIO2 供电是 1.8V, 则 FLASH_VOL_SEL 管脚必须保持为高电平;
- 当 VCCIO2 供电是 3.3V, 则 FLASH_VOL_SEL 管脚必须保持为低电平; 否则, 将存在以下风险:
- 软件配置为 1.8V, 硬件供电 3.3V, 会使得 IO 处于过压状态, 长期工作 IO 会损坏;
- 软件配置为 3.3V, 硬件供电 1.8V, IO 功能会异常;
- 若客户项目的电源域有变动, 必须相应更新匹配。

3.1.9.1 GPIO 管脚名称说明

以管脚 GPIO2_A3_u 举例, 其中_u 表示这个 IO 的复位默认状态为内部上拉; 类似的, 对应_d 表示默认状态为内部下拉, 对应_z 表示默认状态为高阻状态。

除了上文提及的引导相关 GPIO, 其余 IO 的复位默认状态均为输入。

对于功能引脚带有_M0/_M1/_M2 后缀的, 表示同一个功能管脚复用在不同的 IO 上, 同时只能选择其中一个使用; 且需要注意, 同组功能管脚也只能同后缀组合使用, 例如选择 UART2 功能时, 可以选择 UART2_TX_M0 和 UART2_RX_M0 组合, 或 UART2_TX_M1 和 UART2_RX_M1 组合, 不可选取不同的复用后缀 IO 进行组合。

3.1.9.2 GPIO 驱动能力

RK3566 中, GPIO 提供多档驱动强度可调, 分别是 Level 0-5, 部分 GPIO 可以实现 Level 0-11 的调节档位, 具体请参考《RK3566_PinOut》文档。另外根据 GPIO 的类型不同, 初始默认驱动强度也不同, 请参考芯片 TRM 进行配置修改。

3.1.9.3 GPIO 电源

电源域	GPIO 类型	管脚名	描述
PMUIO0	固定 1.8V	PMUPLL_AVDD_1V8	1.8V Only IO supply for this GPIO domain (group).
PMUIO1	固定 3.3V	PMUIO1	3.3V Only IO supply for this GPIO domain (group).
PMUIO2	1.8V/3.3V	PMUIO2	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI01	1.8V/3.3V	VCCI01	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI02	1.8V/3.3V	VCCI02	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI03	1.8V/3.3V	VCCI03	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI04	1.8V/3.3V	VCCI04	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI05	1.8V/3.3V	VCCI05	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI06	1.8V/3.3V	VCCI06	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI07	1.8V/3.3V	VCCI07	1.8V or 3.3V IO supply for this GPIO domain (group).

其中 PMUIO0、PMUIO1 为固定电平电源域, 不可进行配置, 其余 IO domain 均可进行配置。

GPIO 电源域的供电纹波要求在 $\pm 5\%$ 内, 每个供电管脚需就近放置至少 1 个 100nF 去耦电容, 详细设计见参考原理图。

若一个电源域里所有 IO 都未使用, 那么该电源域电源可以不供电, 对应管脚悬空处理即可。

3.2 电源设计

3.2.1 最小系统电源介绍

3.2.1.1 电源需求

模块	电源管脚	描述
PMU PLL	PMUPLL_AVDD_0V9、PMUPLL_AVDD_1V8	PMU PLL 电源
SYSTEM PLL	SYSPLL_AVDD_0V9、SYSPLL_AVDD_1V8	系统 PLL 电源
CPU	VDD_CPU	CPU/ARM Core 电源
GPU	VDD_GPU	GPU 电源
NPU	VDD_NPU	NPU 电源
LOGIC	VDD_LOG	SOC 逻辑电源
PMU LOGIC	PMU_VDD_LOGIC_0V9	PMU 逻辑电源
DDR	VCC_DDR	DDR PHY 电源
GPIO	PMUIO0、PMUIO1、PMUIO2、VCCI01、 VCCI02、VCCI03、VCCI04、VCCI05、 VCCI06、VCCI07	IO Domain 电源
SARADC	SARADC_AVDD_1V8	SARADC 电源
OTP	OTP_VCC18	OTP 电源
USB2.0 PHY	USB_AVDD1_0V9、USB_AVDD1_1V8、 USB_AVDD1_3V3、USB_AVDD2_0V9、 USB_AVDD2_1V8、USB_AVDD2_3V3	USB2.0 PHY 电源
MULTI PHY	MULTI_PHY_AVDD_0V9、MULTI_PHY_AVDD_1V8	MULTI PHY 电源（包含 USB3.0、SATA、PCIe）
MIPI CSI PHY	MIPI_CSI_RX_AVDD_0V9、 MIPI_CSI_RX_AVDD_1V8、	MIPI CSI RX PHY 电源
MIPI DSI/LVDS PHY	MIPI_DSI_TX0/LVDS_TX0_AVDD_0V9、 MIPI_DSI_TX0/LVDS_TX0_AVDD_1V8、 MIPI_DSI_TX1_AVDD_0V9、 MIPI_DSI_TX1_AVDD_1V8	MIPI DSI TX PHY/LVDS PHY 电 源
eDP PHY	EDP_TX_AVDD_0V9、EDP_TX_AVDD_1V8	eDP PHY 电源
HDMI PHY	HDMI_TX_AVDD_0V9、HDMI_TX_AVDD_1V8	HDMI TX PHY 电源

电源需求表

3.2.1.2 上电时序

理论上遵循“同一模块低压先上、高压后上”，“相同模块相同电压一起上”，“不同模块间无时序要求”的上电原则。

推荐的 RK3566 上电时序参考如下：

VDDA0V9_PMU/VDDA_0V9/VDD_LOGIC→VCCA1V8_PMU/VCC_1V8/VCC3V3_PMU/V
DD_GPU→VDD_CPU→VCC_DDR→VCC_3V3→RESETn

3.2.1.3 下电时序

PMUIO1 电源域的供电电压降低于 2.93V 时，RESETn 必须先拉低动作，其它电源随着下电。

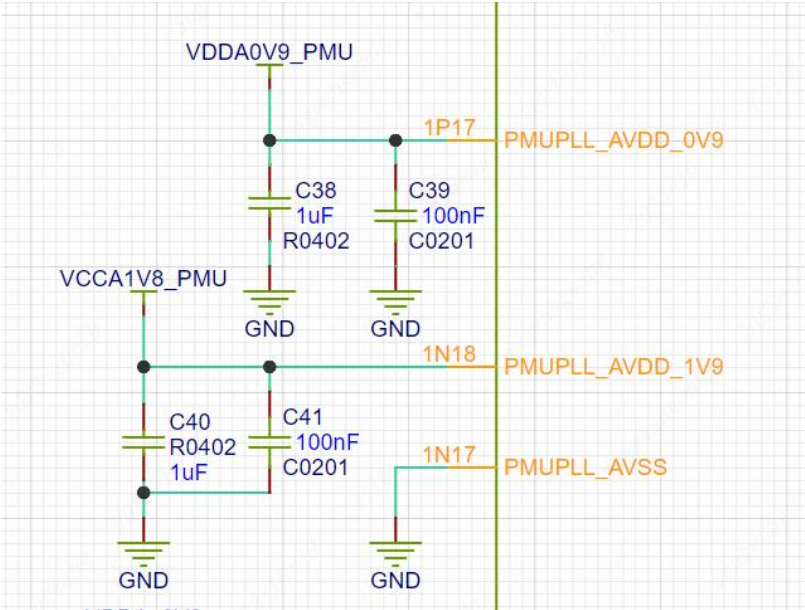
3.2.2 电源设计建议

3.2.2.1 PLL 电源

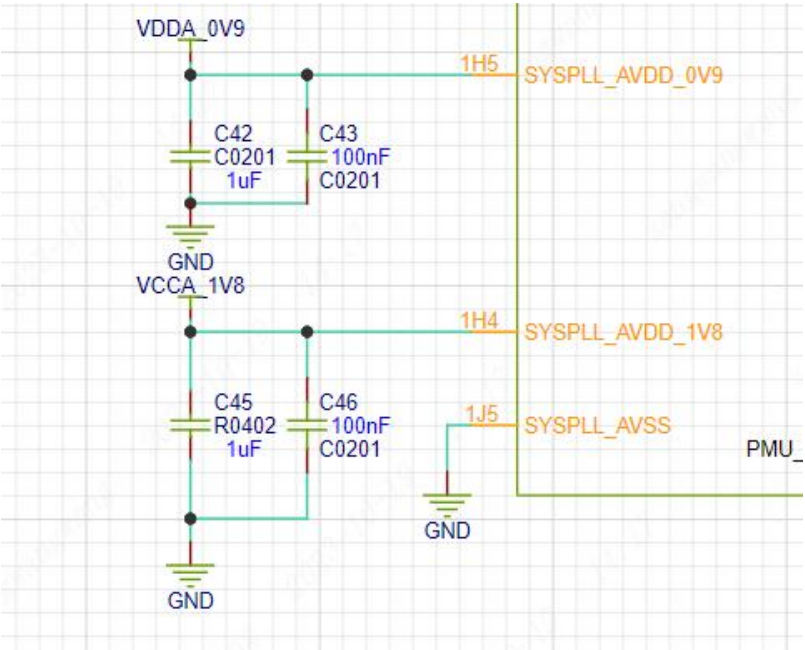
分类	数量	电源	待机状态
PMU/OSC	2	PMUPLL_AVDD_0V9、PMUPLL_AVDD_1V8	不可关断电源
芯片内各模块	7	SYSPLL_AVDD_0V9, SYSPLL_AVDD_1V8	可关断电源

RK3566 芯片内部共有 9 个 PLL，分配如上图：

电源上建议使用 LDO 为 PLL 单独供电，特别是 DDR 工作频率较高，稳定的 PLL 电源有助于提高高频下的工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。



RK3566 内部的 PMU PLL 电源

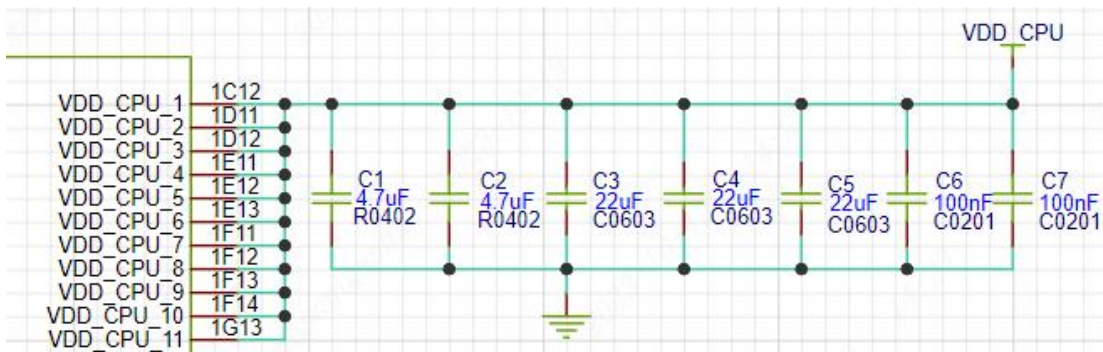


RK3566 内部的 SYS PLL 电源

3.2.2.2 CPU 电源

RK3566 采用 CPU 独立电源域供电, 如下图的 VDD_CPU 为 ARM Cortex-A55 core 供电, 电源使用外置 DCDC 电源独立供电, 支持动态调频调压功能。

Layout 时将大电容放置在 RK3566 芯片背面(单面贴时请靠近芯片放置), 以保证电源纹波在 60mV 以内, 避免大负载情况下电源纹波偏大引起系统异常, 电容如下图所示:



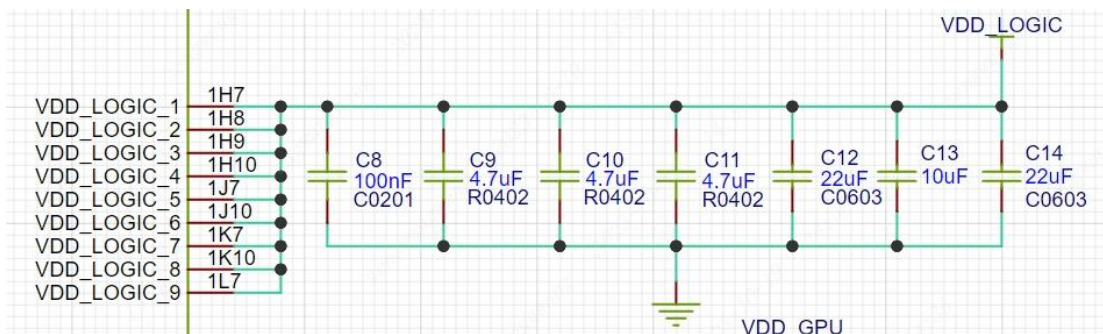
VDD_CPU 电容

在 Layout 上, 需要进行电源反馈走线, 从芯片底部单独走一根反馈线连接至 DC/DC 电源的 FB 端, 可有效改善因 PCB 走线带来的压降, 提高电源动态调整的及时性。

3.2.2.3 LOGIC 电源

RK3566 的 LOGIC 电源使用 PMIC 供电, 支持动态调频调压功能。相关峰值电流参考 2.2.3 小节, 请勿删减 RK3566 芯片参考设计原理图中的电容。

Layout 时将大电容放置在 RK3566 芯片背面(单面贴时请靠近芯片放置), 以保证电源纹波在 60mV 以内, 避免大负载情况下电源纹波偏大引起系统异常, 电容如下图所示:



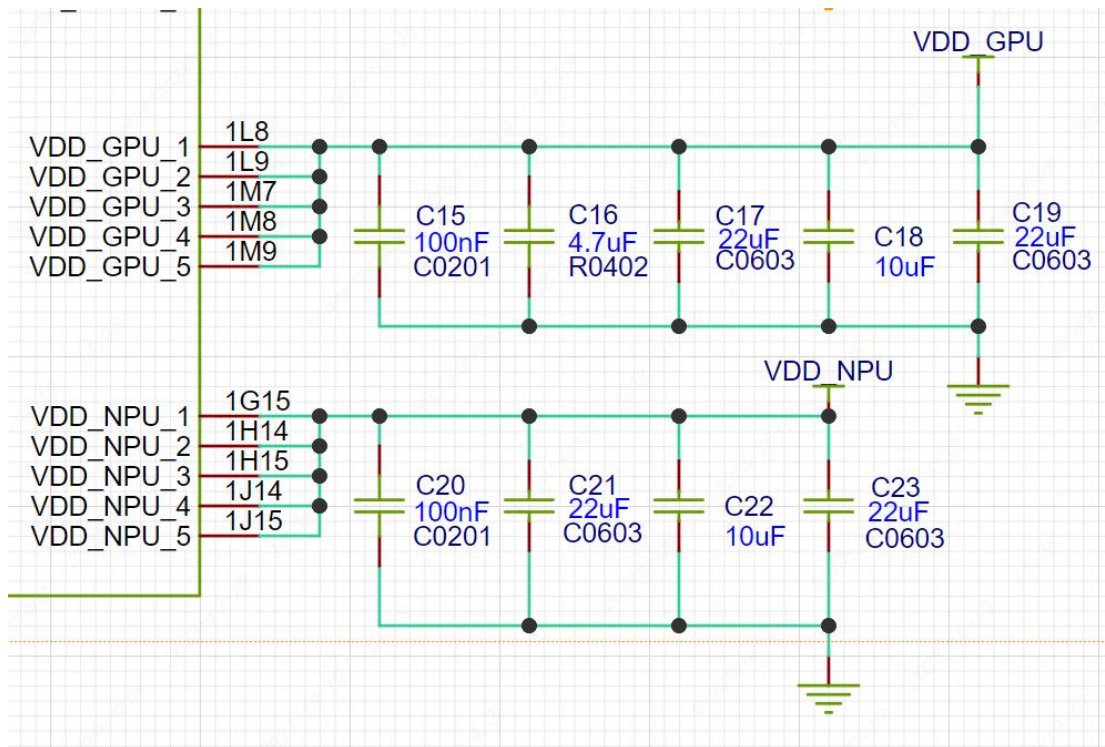
VDD_LOGIC 电容

注意: 同样, 需要进行电源反馈走线。

3.2.2.4 GPU & NPU 电源

RK3566 的 GPU 电源与 NPU 电源同样也使用 PMIC 供电, 均支持动态调频调压功能。相关峰值电流参考 2.2.3 小节, 请勿删减 RK3566 芯片参考设计原理图中的电容。在 RK809-5 的方案中, 二者供电独立。NPU 供电需要在启动后配置打开。

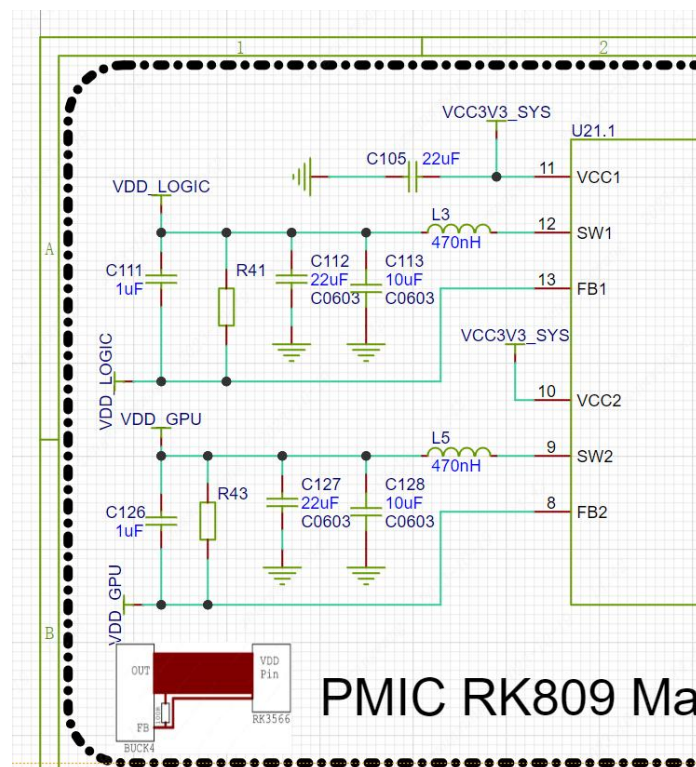
Layout 时将大电容放置在 RK3566 芯片背面(单面贴时请靠近芯片放置), 以保证电源纹波在 60mV 以内, 避免大负载情况下电源纹波偏大引起系统异常, 电容如下图所示:



注意：同样，需要进行电源反馈走线。

3.2.2.5 电源的远端反馈补偿

上述提及的 VDD_CPU/VDD_LOGIC/VDD_GPU/VDD_NPU 这几路电源 DC-DC 采用远端反馈补偿设计，弥补线路的电压损耗及提高电源动态调整及时性。如图所示：



RK3566 电源的远端反馈补偿

为避免实际生产或使用过程中出现远端反馈节点开路的情况,要求在 DC-DC 侧增加 100 ohm 电阻,这个电阻可以使输出电压在反馈节点开路情况下仍保持稳定,避免因反馈节点的开路导致输出异常。

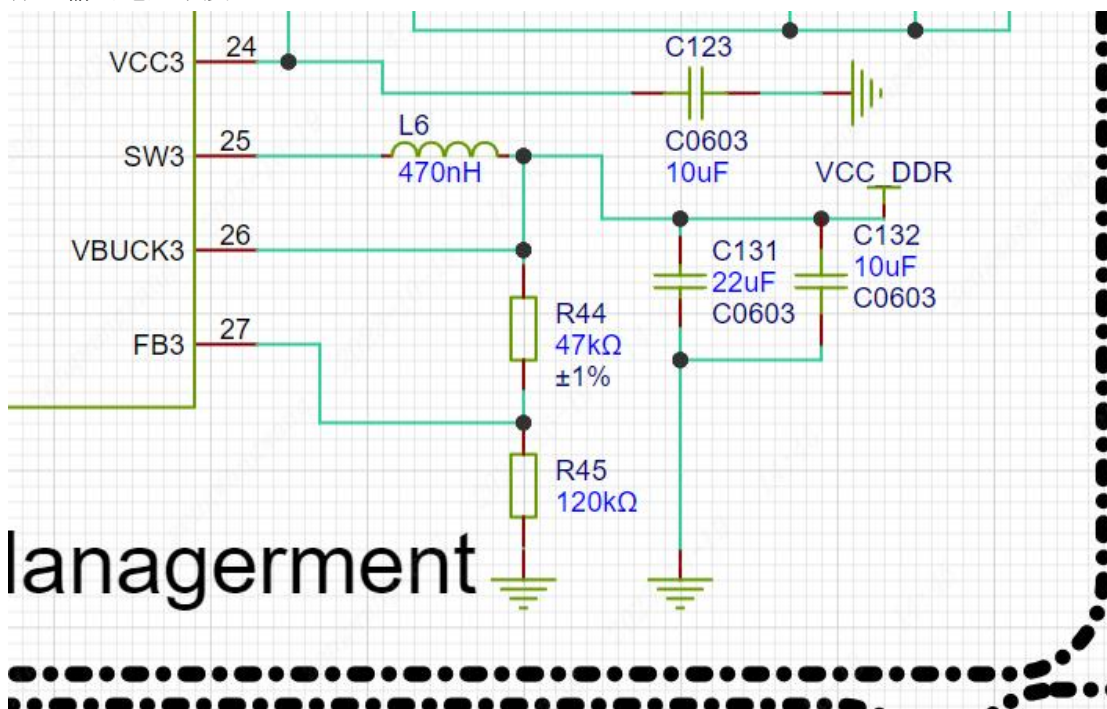
另外,反馈补偿线与电源线存在一个环路,在某些设计中可能会感应到噪声影响 DC-DC,这个电阻也可以减小这个影响,同时为了提升瞬态响应,在 100 ohm 电阻侧再并接一个 1uF 电容。这里,100ohm 电阻和 1uF 电容不能随意删减。

3.2.2.7 DDR 电源

RK3566 芯片的 DDR 控制器接口支持 DDR3/DDR3L/DDR4/LPDDR3/LPDDR4/LPDDR4X 电平标准,产品设计时请根据颗粒使用情况进行配置,确认符合设计要求。

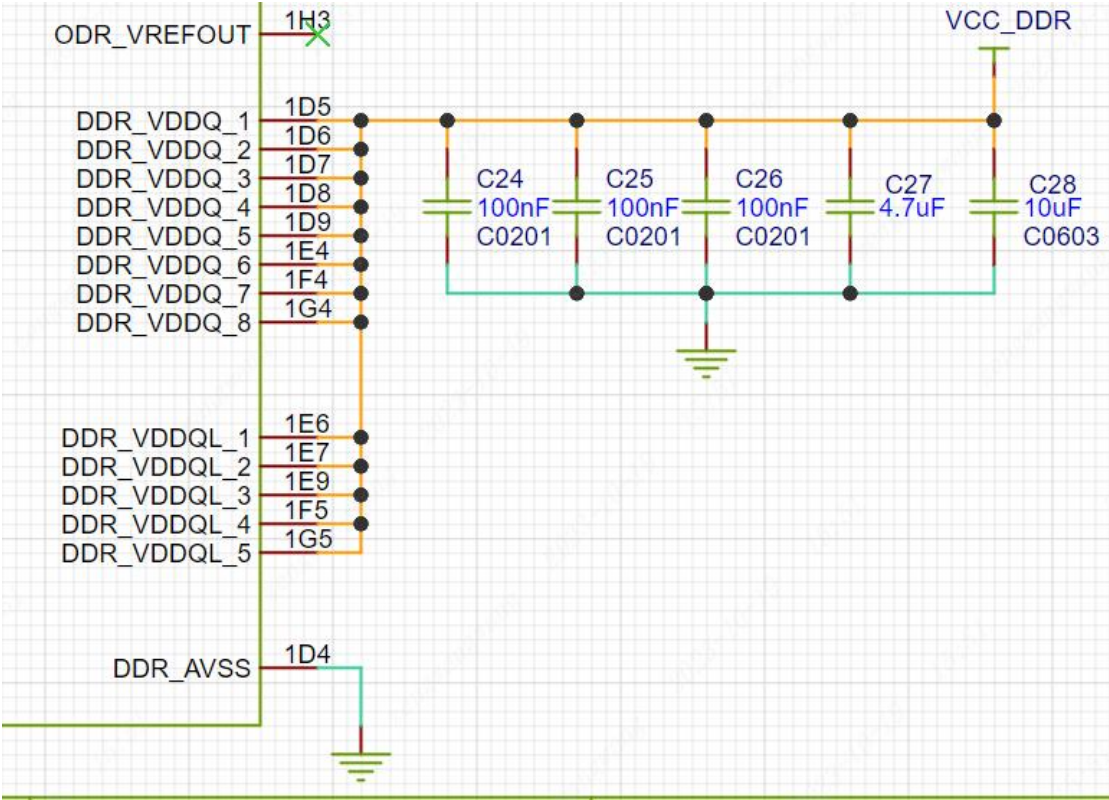
其中 LPDDR4 与 LPDDR4X 的电源差异详见 DDR 小节的描述,需要在对应的 DDR 原理图页面进行电源的选择,使用 LPDDR4 颗粒时选择 VCC_DDR 供电,使用 LPDDR4X 颗粒时使用 VCC0V6_DDR 供电。

在使用 PMIC 的情况下,VCC_DDR 的电压由分压阻值决定,相关分压值可参考下图,以保证输出电压准确度:

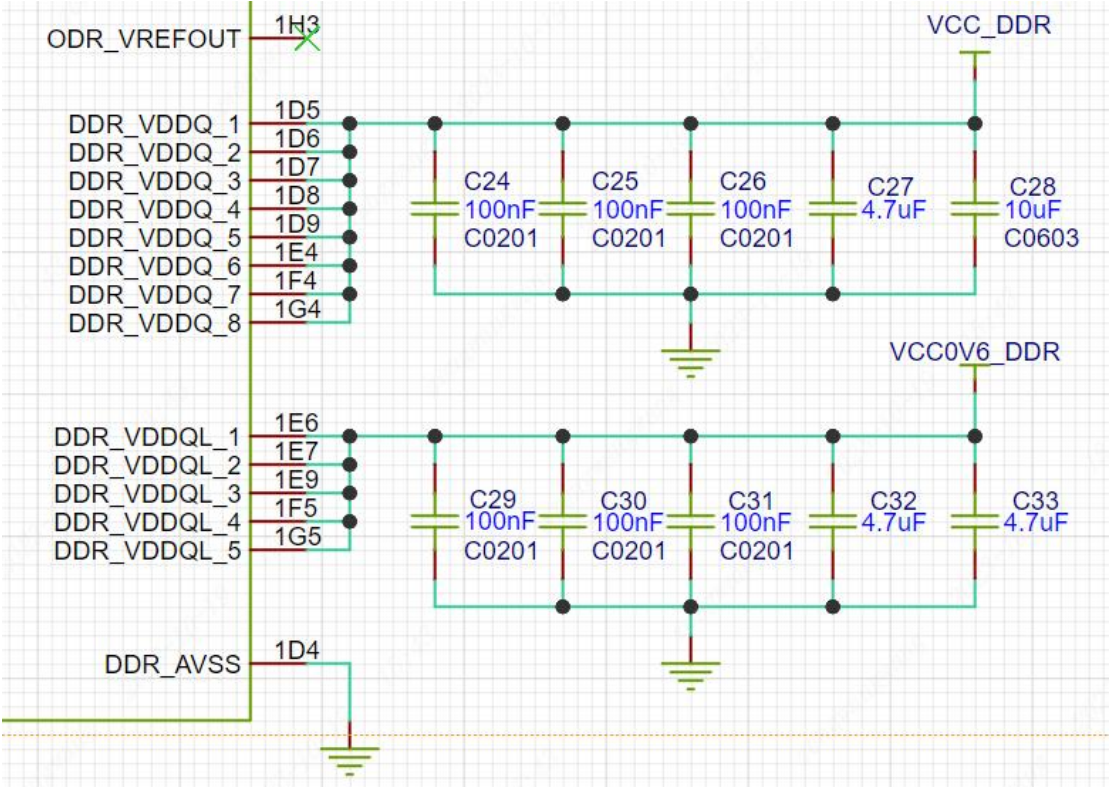


RK3566 VCC_DDR 电源

同样,请勿删减 RK3566 芯片参考设计原理图中的电容。Layout 时将大电容放置在 RK3566 芯片背面(单面贴时请靠近芯片放置),以保证电源纹波在±5%以内,避免大负载情况下电源纹波偏大引起系统异常,电容如下图所示:



RK3566 在 LPDDR4 情形下的 DDR 电源及去耦



RK3566 在 LPDDR4X 情形下的 DDR 电源及去耦

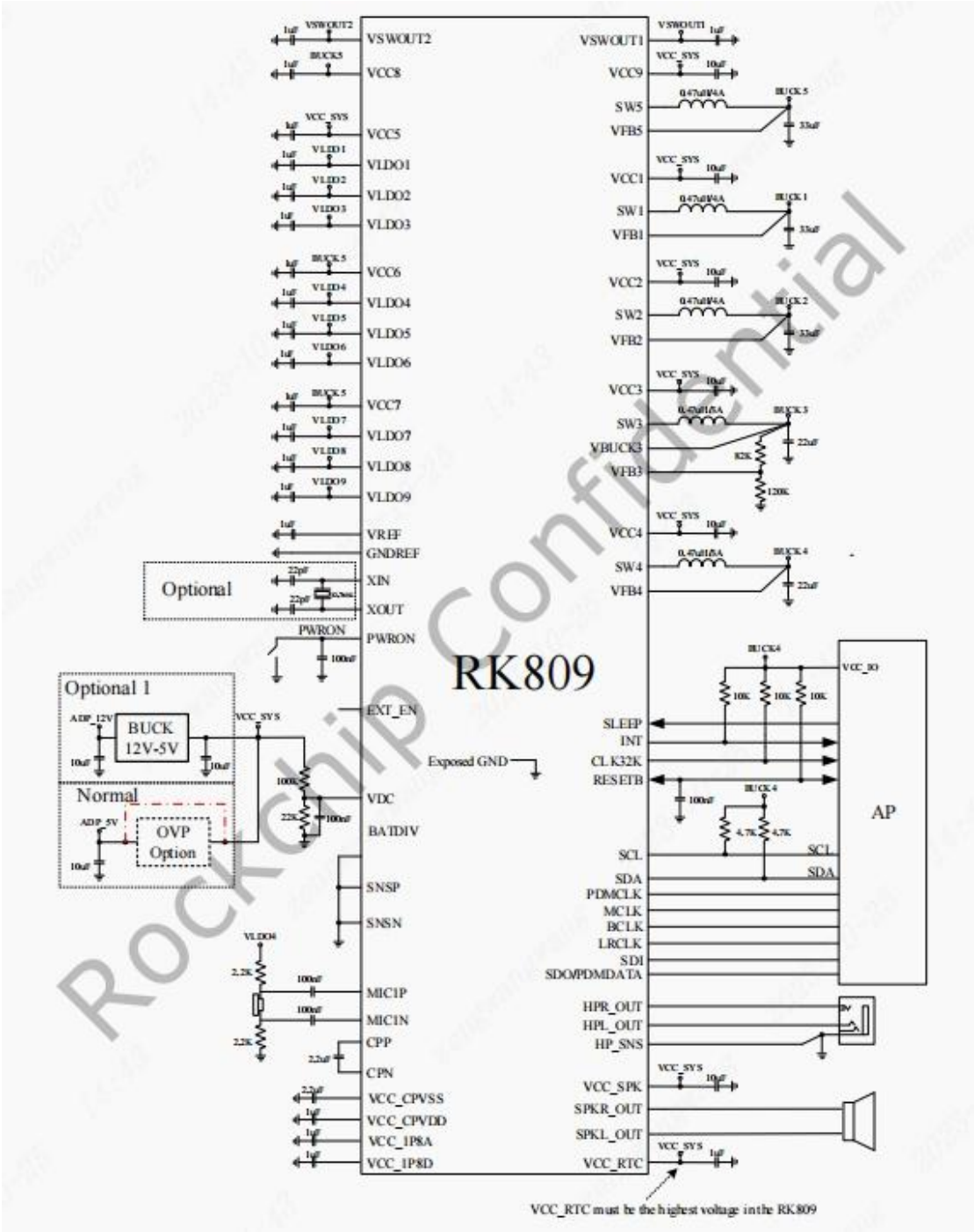
3.2.2.8 各功能模块的供电

各功能模块部分的供电依照参考原理图设计，详细描述查阅本文对应的模块章节。

注意：部分模块在未供电情况下，可能引起内核初始化卡死，需要软件对 DTS 中对应的控制器节点进行 disable 设置。

3.2.3 RK809-5 方案介绍

3.2.3.1 RK809-5 框图



RK809-5 框图

3.2.3.2 RK809-5 特征

- 电源输入范围：2.7V-5.5V
- 含单独电池电压、电流两路 ADC 的精准电量计
- 内置实时时钟（RTC）

- 16uA 的极低待机电流(在 32KHz 时钟频率下)
- 实地输出的耳机驱动
- 不含滤波电感的 1.3W Class D 类功放 (驱动 8ohm 喇叭)
- 固定及可编程可选择的电源启动时序控制
- 内置高性能音频编解码器
- 内置独立 PLL
- 支持麦克风输入
- DAC 和 ADC 都支持 I2S 数字输入
- 支持 ALC, 限幅器和噪声门
- 支持可编程的数字与模拟增益
- 支持 16bits-32bits 的比特率
- 采样率高达 192kHz
- 软件支持 master 和 slave 两种工作模式配置
- 支持 3 种 I2S 格式 (标准, 左对齐, 右对齐)
- 支持 PDM 模式 (外部输入 PCLK) 电源通道:
- BUCK1: 同步降压 DC-DC 转换器, 2.5A max
- BUCK2: 同步降压 DC-DC 转换器, 2.5A max
- BUCK3: 同步降压 DC-DC 转换器, 1.5A max
- BUCK4: 同步降压 DC-DC 转换器, 1.5A max
- BUCK5: 同步降压 DC-DC 转换器, 2.5A max
- LDO1-LDO2、LDO4-LDO9: 低压差线性稳压器, 400mA max
- LDO3: 低噪声、高电源抑制比的低压差线性稳压器, 100mA max
- Switch1: 开关, 2.1A max, $R_{dson} = 90m\Omega$
- Switch2: 开关, 2.1A max, $R_{dson} = 100m\Omega$
- 封装: 7mmx7mm QFN68

3.2.3.3 RK809-5 注意事项

32.768 晶体的匹配电容推荐值为 18pF, 用户可根据所用晶体的具体规格微调此参数。VCC_RTC 必须第一个供电, 且其电压数值必须是供给 RK809-5 的输入电源 (除 VCC_SPK_HP 以外) 中最高的, 建议和 RK809-5 的 VCC9 接同一个电源;

BUCK1, BUCK2 的输出电容必须大于 30uF 以上才能保证有比较好的去耦效果, 特别是大电流高动态的负载情况下, 可以适当加大输出去耦电容; 直接由输入电源控制的开机逻辑如下: 当存在电源输入时, 初级 DCDC 降压输出 VCC5V0_SYS 和 VCC_RTC, 电源通过外部分压电路后输入到 VDC 的电平大于 0.55V, 此时 PMIC 开始工作、输出电压;

通过按键控制的开关机逻辑如下: PWRON 脚内置上拉电阻, 上拉到 VCC_RTC, 当检测到低电平时间超过 500ms 就会自动开机; 开机后如果 PWRON 脚被拉低超过 6s 就会强制关机 (通常用于系统死机后的强制关机, 再开机); 在休眠以及唤醒操作时, PWRON 脚的低电平需维持 20ms 以上。

RK809-5 工作的基本条件:

- VCC_RTC 供电;
- VCC5V0_SYS 供电, ;
- 检测到了如下三种情况中的一种, RK809-5 自动开机: PWRON 脚为低电平并维持 500ms; VDC 电平超过 0.55V; 内部 RTC Alarm 开机使能且定时时间到。

● 开启上电流程, 每个时序间隔是 2mS, 上面一个时序电压输出符合要求后才会继续下一个时序, 直到所有时序上电结束, 并释放 RESET, 完成上电流程;

RK809-5 检测到如下两种情况之一, 会自动关机:

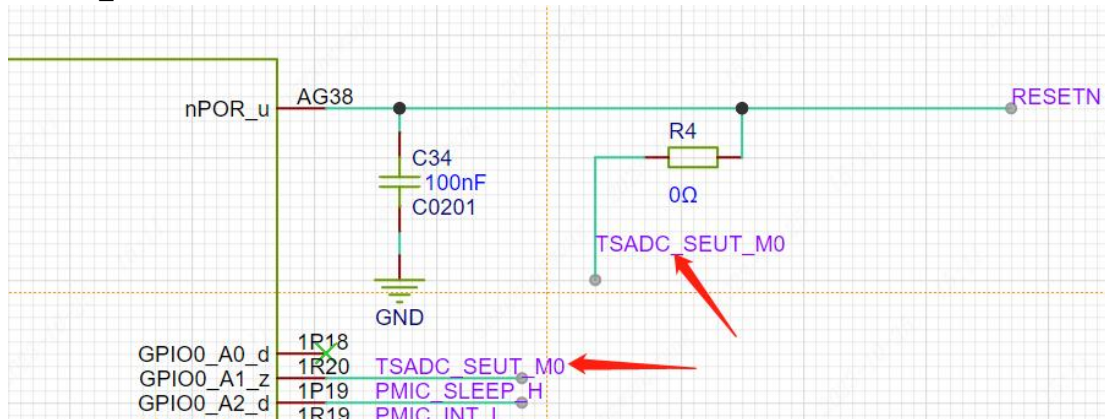
- I2C 写 DEVICE_OFF=1;
- PWRON 脚为低超过 6s。

RK809-5 开始下电流程后, 会在 1 个 RTC 时钟周期后 (约 30.5us 后) 拉低 reset, 再经过 2ms 以后同时关断所有电源输出, 完成下电流程。

3.2.4 过温保护电路

当 RK3566 芯片出现过热、死机等情况时, 芯片的 TSADC_SHUT 管脚会输出低电平, 对 RK809-5 进行复位、控制电源下电并重新上电, 在寄存器清零的同时复位整个系统。

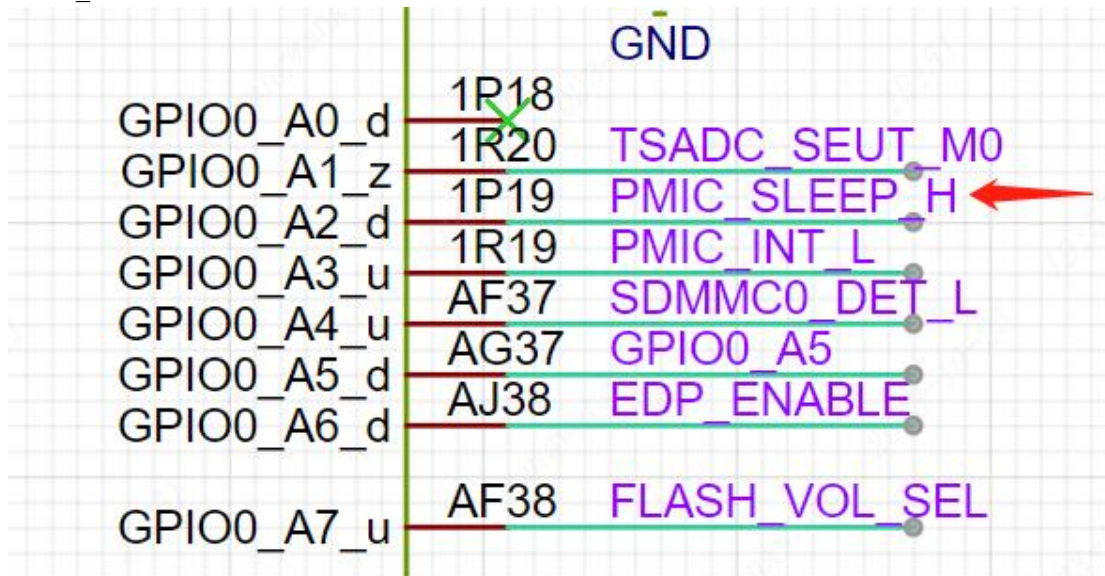
TSADC_SHUT 是特定的功能信号, 请勿随意改动用法。



3.2.5 PMIC SLEEP 待机控制电路

当 RK3566 芯片在正常工作模式时, 芯片的状态管脚 PMIC_SLEEP 会维持低电平输出。当系统进入待机模式时, PMIC_SLEEP 管脚会输出高电平的休眠指示信号, 此时 PMIC 受该信号控制 进入待机状态。根据软件 dts 文件的配置, 部分电源会关闭, 部分电源会调低电压。当系统从待机模式中被唤醒时, PMIC_SLEEP 管脚会在第一时间输出低电平, 此时 PMIC 会恢复待机前的工作状态, 恢复各路电源输出。

PMIC_SLEEP 是特定的功能信号, 请勿随意改动用法。

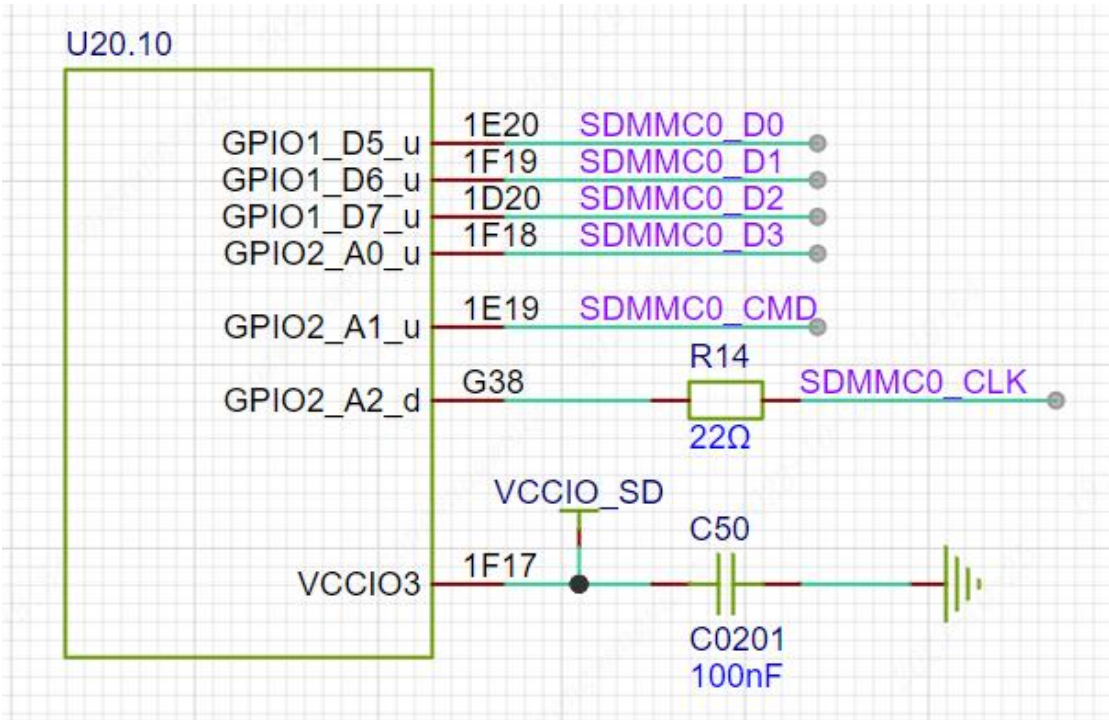


3.3 功能接口电路设计

3.3.1 SDMMC 存储卡电路

RK3566 集成了 3 个 SDMMC 接口控制器，均可支持 SD V3.01 以及 MMC V4.51 协议，SDMMC0 如图所示：

- SDMMC0 控制器采用单独的电源域供电；
- SDMMC0 与 JTAG 等功能复用在一起，通过 SDMMC0_DET 进行功能选择，具体参考 JTAG 小节描述；
- VCCIO3 为 IO 电源，需要外部提供 3.3V 供电（SD V2.0 模式）或 3.3V/1.8V 可调供电（SD V3.0 模式）；
- SDMMC0_DATA、SDMMC0_CMD、SDMMC0_CLK 需串接 22ohm 电阻，SDMMC0_DET 需串接 100ohm 电阻；
- 信号在靠近 SD 卡槽处需放置 ESD 器件，为减少对信号的影响，建议选择结电容小于 1pF 的型号（若只需要支持 SD2.0 模式，ESD 器件的结电容可放宽到小于 9pF）；
- SD 卡供电的去耦电容需靠近卡槽摆放。



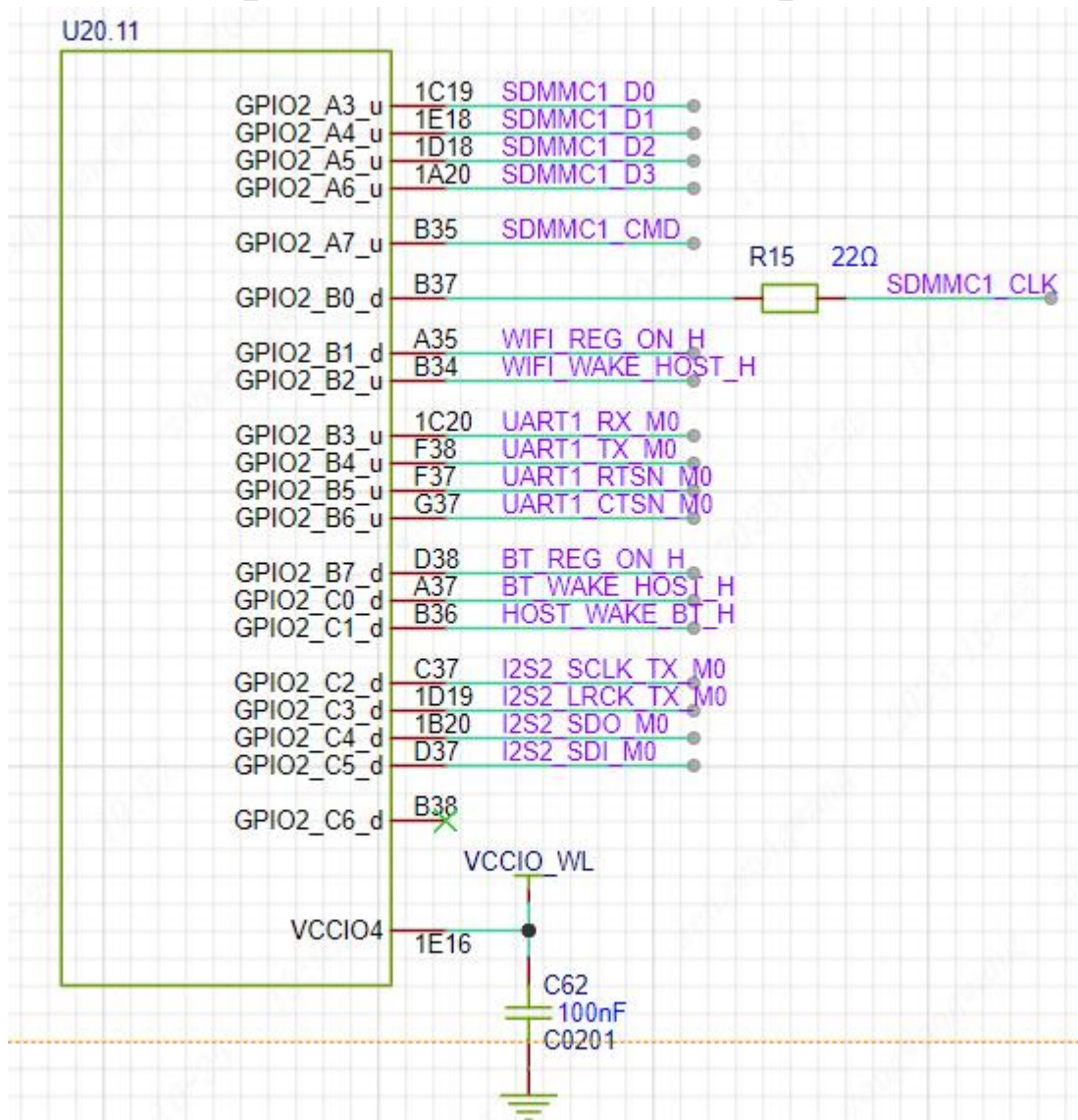
SDMMC0 接口上下拉和匹配设计推荐如下表：

信号	内部上下拉	连接方式 (SDR104 高速模式)	描述（芯片端）
SDMMC0_DQ[3:0]	上拉	串联 22ohm 电阻	SD 数据发送/接收
SDMMC0_CLK	下拉	串联 22ohm 电阻 靠近 RK3566 端放置	SD 时钟发送
SDMMC0_CMD	上拉	串联 22ohm 电阻	SD 命令发送/接收
SDMMC0_DET	上拉	串联 100ohm 电阻	SD 卡插入检测

当需要使用 SD 卡作系统存储使用时候，建议使用 SDMMC0（如果需要使用 SDMMC1 或 SDMMC2 作系统存储，需考虑相关供电），SDMMC0 的 DET 管脚位于 PMUIO 电源域，

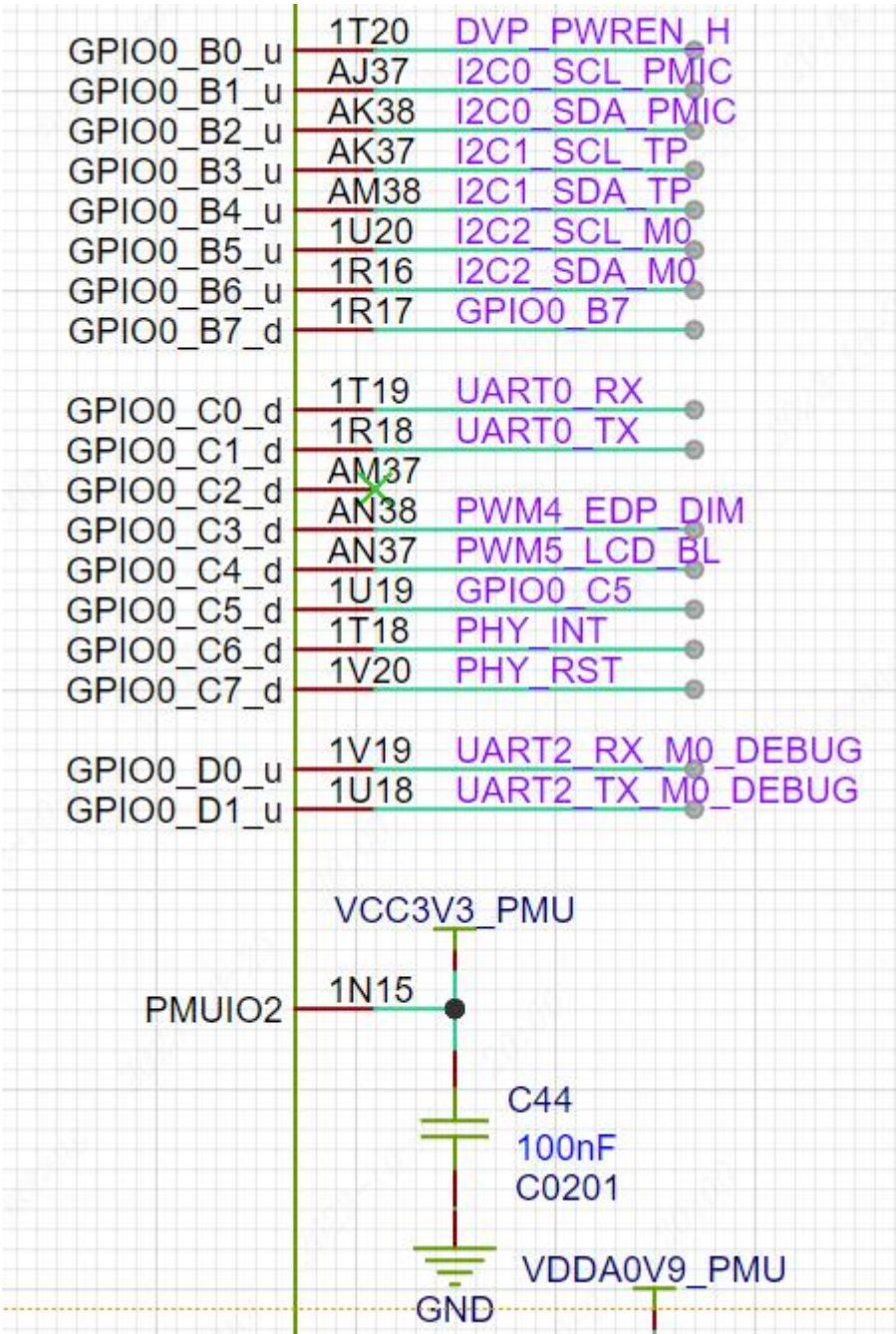
可支持插卡唤醒。其余两个控制器 SDMMC1 和 SDMMC2 也可以用于 SD 卡连接, 但这两个接口更经常作为 SDIO 接口连接 WIFI, 或者因其对应的 GPIO 被复用的其他功能占用而无法使用。

下面是针对参考图 WIFI 连接的说明, 其中 SDMMC1 作为 SDIO 使用, 连接到 WIFI 模组, 对应的 VCCIO4 电源域与 WIFI IO 保持一致, 使用 VCCIO_WL 供电。当支持 SDIO3.0 时候, 要求 VCCIO_WL 为 1.8V; 支持 SDIO2.0 时候, VCCIO_WL 为 3.3V。



出于低功耗设计考虑(若功耗无特殊要求, 通过修改软件, 即可不受此条使用约束), RK3566 默认在二级待机状态下会关闭 LOGIC 电源, 此时只有 PMUIO 逻辑保持供电, 对应的 GPIO 可受控, 因此这种情况下若需要支持 WIFI/BT 休眠唤醒功能, 对应的 WIFI/BT 控制信号应连接到 PMUIO 电源域的 GPIO。

如下图示意:



SDIO 接口上下拉和匹配设计推荐如下表:

信号	内部上下拉	连接方式	描述 (芯片端)
SDIO_DQ[3:0]	上拉	直连	SDIO 数据发送/接收
SDIO_CLK	下拉	串联 22ohm 电阻	SDIO 时钟发送
SDIO_CMD	上拉	直连	SDIO 命令发送/接收

设计注意:

- SDIO CLK 时钟的串接电阻靠近主控; 有条件情况下走线须要做包地处理, 包地路径打地过孔, 地孔间隔不大于 300mil;
- 所有 SDIO 信号走线长度必须小于 4inch, SDIO CLK 和 DATA/CMD 之间的延迟必须控制在 120mil 以内;

- SDIO 所有信号的参考层需要为完整的地平面, 避免出现连续的过孔阻断信号回流路径的情况;
- 所有 SDIO 信号都要控制 PCB 阻抗, 单端信号阻抗为 $50\Omega \pm 10\%$ 。

3.3.2 USB 电路

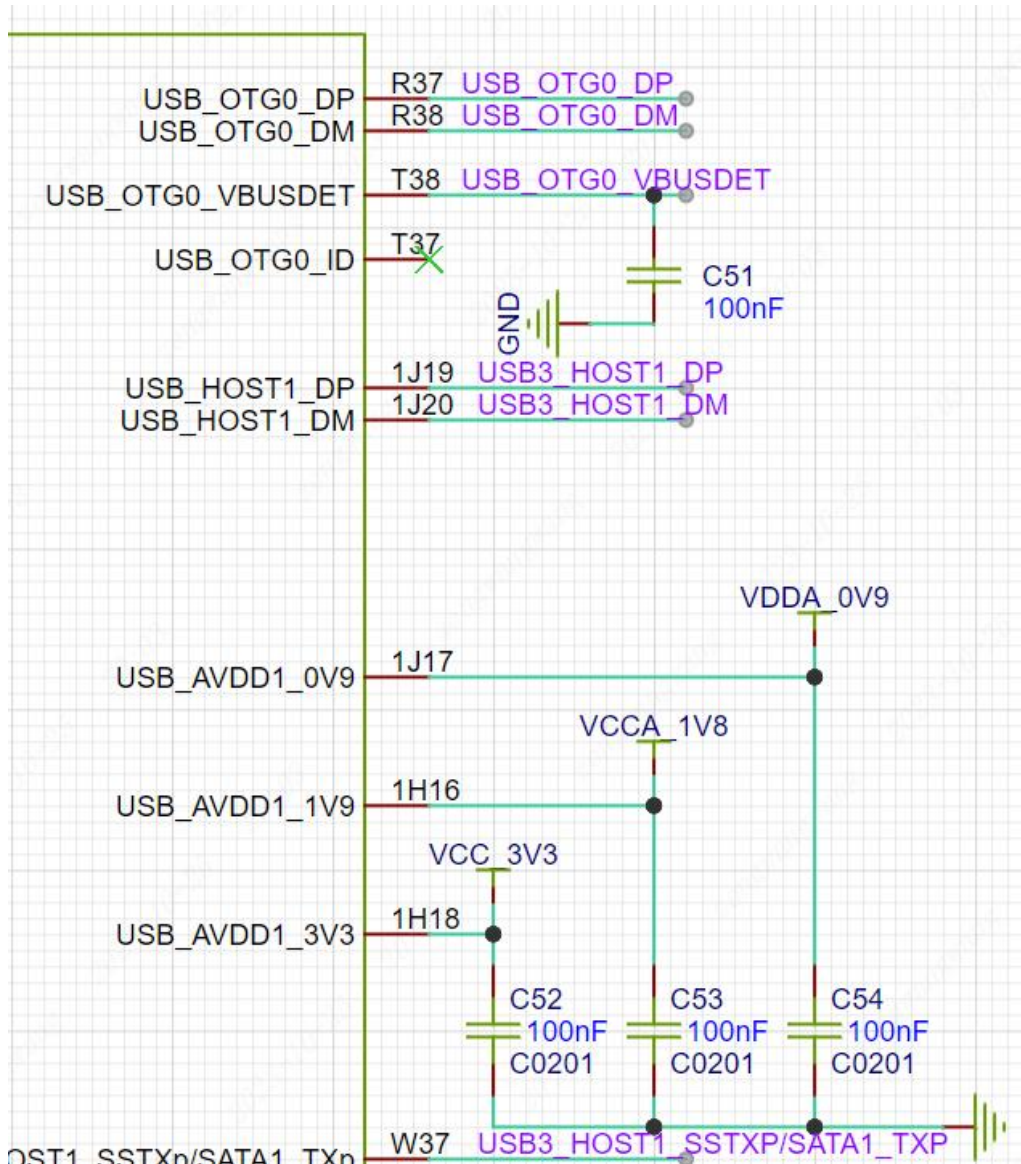
RK3566 芯片拥有一组 USB2.0 OTG 接口, 三组 USB2.0 HOST 接口, 一组 USB3.0 HOST 接口 (当使用完整的 USB3.0 HOST 时, 一组 USB2.0 HOST 会被占用)。

注意:

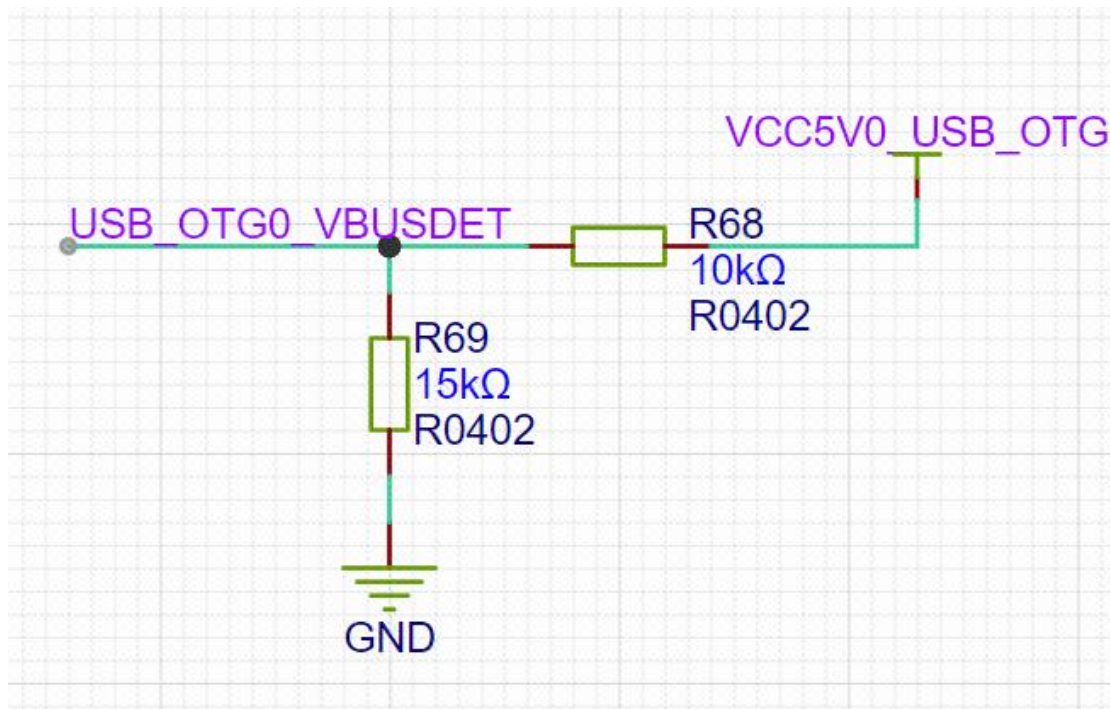
- USB OTG 接口默认为系统固件烧录口, 在调试与生产过程中必须要预留此接口。
- USB 2.0 控制器与 USB 3.0 控制器共同使用的时候, 需要遵循 USB2.0 PHY1 与 USB 3.0 PHY1 搭配的原则。

3.3.2.1 USB2.0 介绍

USB2.0 OTG 接口、USB3.0 HOST1 接口如下图所示。USB_OTG0_ID 管脚在芯片内部有上拉 (大约 $200K\Omega$) 到 USB_AVDD1_V8, 所以 OTG 接口默认为 Device 模式, 当插入 OTG 设备时, 该管脚将会被拉低从而进入 HOST 模式。

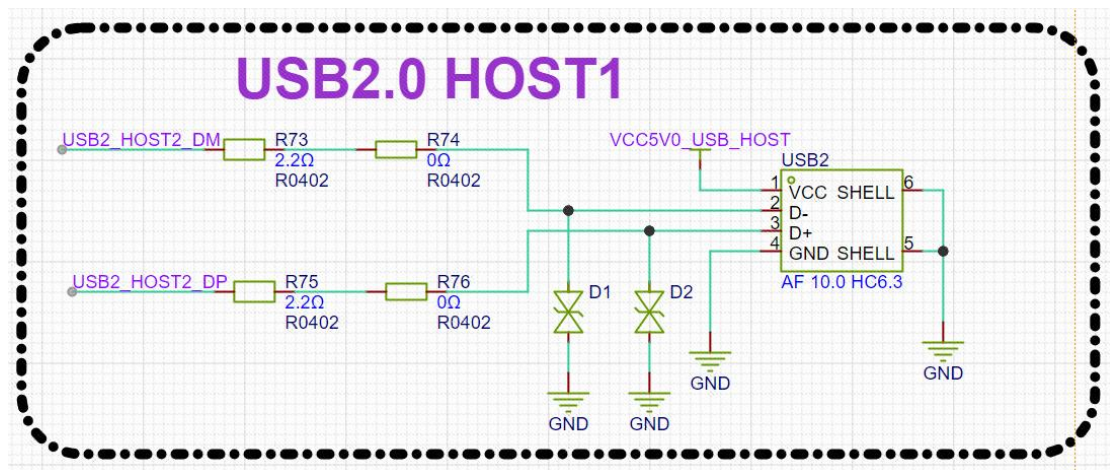


USB_OTG0_VBUSDET 管脚外接到分压电路，检测到高电平（2.7V-3.3V 判断为高）说明有 USB 插入。不论作 OTG 口还是烧录使用时，该管脚都应连接。

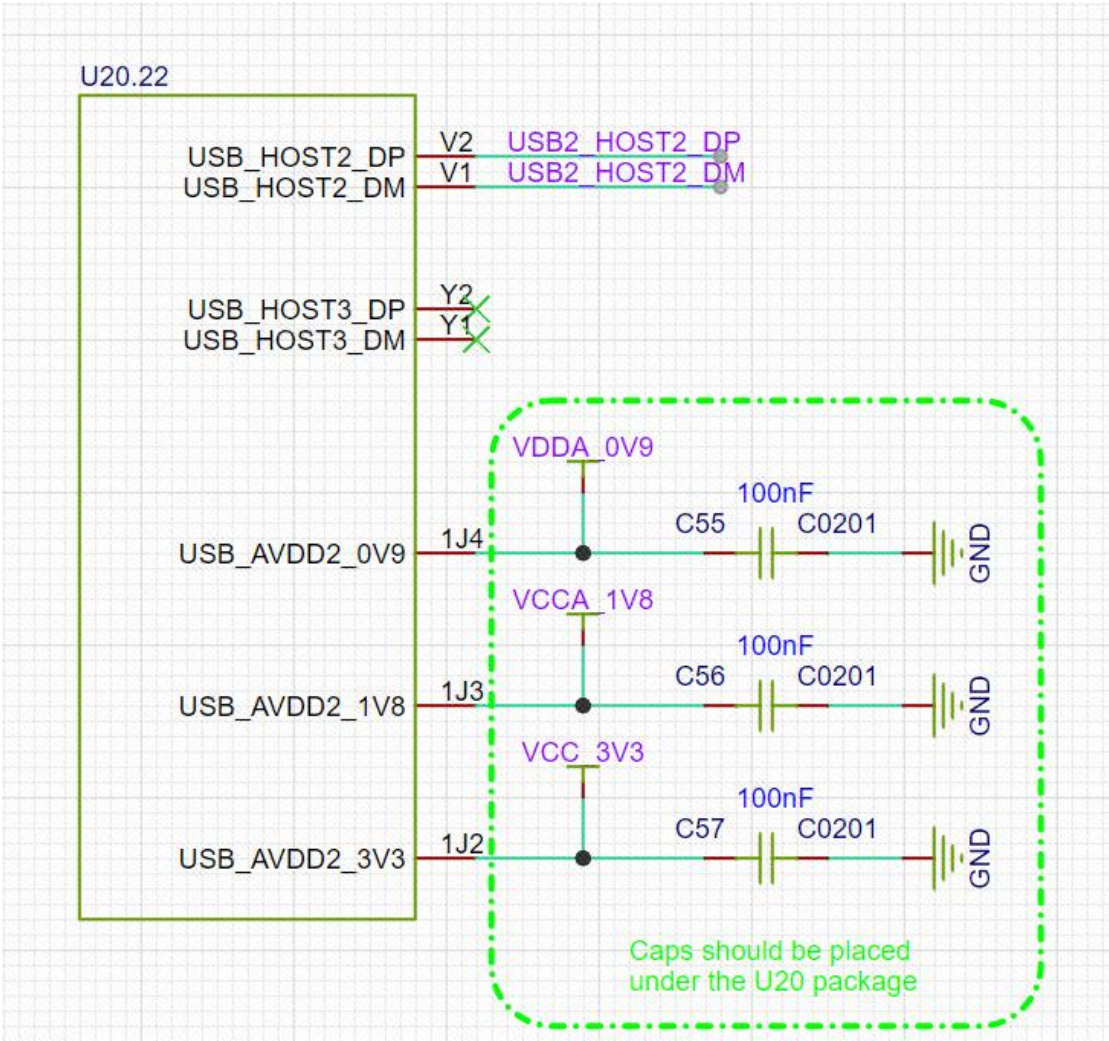


USB2.0 OTG VBUSDET 分压电路

为提高接口抗性，请串接 2.2R 电阻、使用 ESD 保护措施，ESD 器件的寄生电容要求小于 1pF，ESD 器件靠近 USB 接口放置。如下图所示：



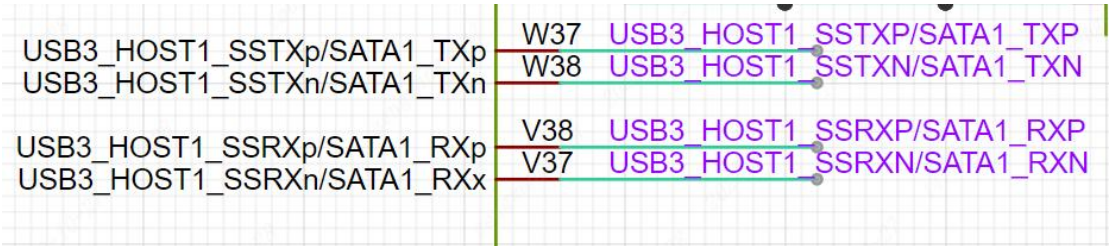
USB2.0 OTG 信号电路防护



USB2.0 HOST2/HOST3 模块

3.3.2.2 USB3.0 介绍

RK3566 的 USB3.0 的高速差分信号部分是集成在 MULTI PHY 中，这里需要注意的是，完整的 USB3.0 信号由 USB3.0 高速差分对与 USB2.0 HOST1 组成，其对应关系固定，不可随意调整。USB3.0 的相关网络引出到扩展接口上，可以自行根据需求设计扩展板。



USB3.0 模块

3.3.3 OTP 电路

RK3566 内部集成 8K bit OTP，其中 7K bit 可用于安全应用。OTP 支持编写、读取以及空闲模式，这几个模式下 OTP_VCC18 管脚都必须供电，电源的去耦电容必须保留，且靠近 RK3566 管脚放置。

3.3.4 UART 与调试 UART 电路

3.3.4.1 UART 资源介绍

RK3566 集成 10 组 UART 接口, 与其他接口类似, 考虑到产品的接口应用多样性, UART 控制器做了多路复用, 原理图中带有后缀 “_M0/M1/M2” 的标志即为对应功能的复用编号说明, 设计时需做好资源分配, 避免冲突。

UART 编号	UART 复用情况	所属电源域
UART0	无	PMUI02
UART1	M0, M1	M0: VCCI04 M1: VCCI06
UART2	M0, M1	M0: PMUI02 M1: VCCI03
UART3	M0, M1	M0: VCCI01 M1: VCCI05
UART4	M0, M1	M0: VCCI01 M1: VCCI05
UART5	M0, M1	M0: VCCI03 M1: VCCI05
UART6	M0, M1	M0: VCCI04 M1: VCCI03
UART7	M0, M1, M2	M0: VCCI04 M1: VCCI05 M2: VCCI06
UART8	M0	M0: VCCI04
UART9	M0, M1, M2	M0: VCCI04 M1: VCCI07 M2: VCCI06

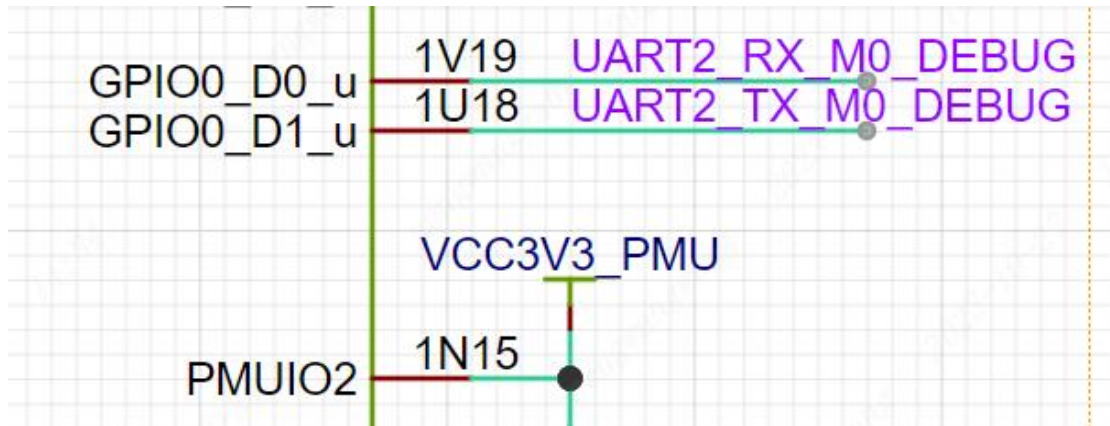
UART 控制器支持以下功能:

- 支持 10 个独立的 UART 控制器, 均包含两个 64 字节的 FIFO 用于数据接收和传输;
- 除支持 115.2Kbps、460.8Kbps、921.6Kbps、1.5Mbps、3Mbps、4Mbps 外, 均支持自动流量控制;
- 支持可编程波特率, 支持非整数时钟分频器;
- 支持基于中断或基于 DMA 的模式;
- 支持 5-8 位宽度传输。

3.3.4.2 调试 UART 电路

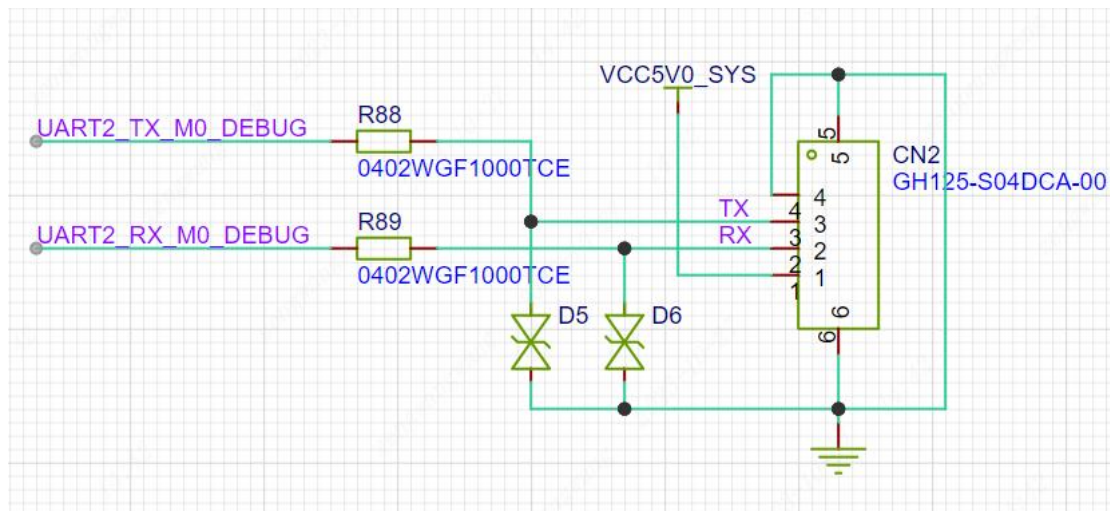
RK3566 的调试 UART 默认使用 UART2_RX_M0, 属于 PMUI02 电源域, 当需要调试时, 可以外接 UART 转 USB 转接小板进行调试。因此强烈建议客户设计中预留有调试串口信号的 TP 点, 或预留测试排针。

需要注意 UART2_RX_M0 的 IO 电平取决于 PMUI02 的实际供电, tablet 参考设计中默认为 1.8V, AIoT 参考设计中默认为 3.3V, 需要根据实际电平与转换芯片情况决定是否需要进行分压、或电平转换处理。



UART2 调试点

在调试与生产阶段，需要注意 Debug UART2 接口的防护，参考如下：



UART2 接口防护电路

端口号请选择 PC 连接开发板的端口号，波特率选择 1.5M，流控 RTS/CTS 不需勾选。如果 PC 端内置的 DB-9 端口不支持高速率模式，请使用 USB 转串口的方式。



3.3.5 I2C 电路

I2C 是一种两线制双向串行总线, RK3566 的 I2C 控制器支持以下功能:

- 支持 7 个独立的 I2C;
- 支持 I2S 总线主模式;
- 软件可编程时钟频率和传输速率高达 400Kbit/s;
- 支持 7 位/10 位寻址模式;

I2C 同样支持多路复用, 原理图中带有后缀“_M0/M1”的标志即为对应功能的复用编号说明, 设计时需做好资源分配, 避免冲突。由于 I2C 较为容易遇到冲突, 故特别强调。同时需要注意 I2C 总线上各外设地址不要冲突, 上拉电源保持一致、外设无漏电或倒灌等风险。

I2C 编号	I2C 复用情况	所属电源域
I2C0	无	PMUI02
I2C1	无	PMUI02
I2C2	M0, M1	M0:PMUI02 M1:VCCI06
I2C3	M0, M1	M0:VCCI01 M1:VCCI05
I2C4	M0, M1	M0:VCCI06 M1:VCCI04
I2C5	M0, M1	M0:VCCI05 M1:VCCI07
I2C_HDMI	无	VCCI07

I2C 接口分布情况

其中, I2C0 属于 PMUI02 电源域, 默认用于连接 PMIC, 建议保持该组连接以减少软件改动。其余 I2C 可根据电平、外设等实际使用情况进行灵活分配。

另外, 需要特别说明 HDMI_TX_SCL/HDMI_TX_SDA 是 HDMI TX 控制器专用的 I2C/DDC 总线, 勿作他用。

3.3.6 PWM 电路

在产品设计中, 脉冲宽度调制 (PWM) 技术的应用非常广泛, 常用于控制伺服电机或背光调压等应用。RK3566 集成了 4 个独立的 PWM 控制器, 每个控制器有 4 个通道, 因此最多可以有 16 个 PWM 通道。

RK3566 的 PWM 具有以下特点:

- 支持捕获模式;
- 支持连续模式或单发模式;
- 支持二级分频;
- 支持低功耗模式, 在通道处于非活动状态时降低功耗;

其中, PWM3、PWM7、PWM11、PWM15 可用于红外接收解码应用, 通过芯片内部集成的专用硬件解码器, 可提高红外信号解码效率。当需要红外接收头输入实现待机唤醒, 则应使用 PWM3_IR。

PWM 信号的多路复用情况见下表, 原理图中带有后缀 “_M0/M1” 的标志即为对应功能的复用编号说明, 设计时需做好资源分配, 避免冲突。

PWM编号	PWM复用情况	所属电源域
PWM0	M0,M1	M0:PMUIO2 M1:PMUIO2
PWM1	M0,M1	M0:PMUIO2
PWM2	M0,M1	M0:PMUIO2 M1:PMUIO2
PWM3_IR	无	PMUIO2
PWM4	无	PMUIO2
PWM5	无	PMUIO2
PWM6	无	PMUIO2
PWM7_IR	无	PMUIO2
PWM8	M0,M1	M0:PMUIO5 M1:PMUIO3
PWM9	M0,M1	M0:PMUIO5 M1:PMUIO3
PWM10	M0,M1	M0:PMUIO5 M1:PMUIO3
PWM11_IR	M0,M1	M0:PMUIO5 M1:PMUIO6
PWM12	M0,M1	M0:PMUIO5 M1:PMUIO7
PWM13	M0,M1	M0:PMUIO5 M1:PMUIO7
PWM14	M0,M1	M0:PMUIO5 M1:PMUIO7
PWM15	M0,M1	M0:PMUIO5 M1:PMUIO7

PWM 接口分布情况表

3.3.7 SPI 电路

除了 FSPI 控制器,RK3566 还集成了 4 个通用 SPI 控制器,均支持 master 和 slave 两种模式。SPI 控制器也支持多路复用,原理图中带有后缀“_M0/M1”的标志即为对应功能的复用编号说明,设计时需做好资源分配,避免冲突。

SPI 编号	SPI 复用情况	所属电源域
SPI0	M0	PMUIO2
SPI1	M0, M1	M0 :VCCIO4 M1 :VCCIO5
SPI2	M0	M0 :VCCIO4
SPI3	M0, M1	M0 :VCCIO6 M1 :VCCIO7

SPI 接口分布情况

3.4 音频相关电路设计

RK3566 提供三组标准 I2S 接口, 均支持 master 或 slave 模式、最高采样率至 192kHz, 比特率从 16bits 到 32bits。此外, 还提供了一组 8 路输入的 PDM 接口, 和一个 SPDIF TX 输出。

3.4.1 I2S1 数字音频接口

RK3566 I2S1 接口包含独立的 8 通道输出和 8 通道输入, 为满足播放和录音的异采样率的需求, 位时钟和帧时钟也对应提供两组 (SCLKTX\LCKTX, SCLKRX\LCKRX); 需要注意的是, 对于 SDOx 和 SDIx 只参考一组位/帧时钟的情形, 默认使用 SCLKTX\LCKTX 同时作为它们的共同时钟。

I2S1 接口支持主从工作模式, 软件可配置; 支持 3 种 I2S 格式 (常规、左对齐、右对齐); 支持 4 种 PCM 格式 (early、late1、late2、late3)。

该组 I2S 引脚复用在两个不同的电源域, I2S1_M0 复用在 VCCI01, 其中有三个 SDOx 和 SDIx 信号存在复用冲突; I2S1_M1 复用在 VCCI06, 可完整引出所有信号。I2S1_M0 和 I2S1_M1 不能同时使用, 每次 Copyright © 2022 Rockchip Electronics Co., Ltd. 58RK3566 硬件设计指南 Copyright © 2022 Rockchip Electronics Co., Ltd. 59 只能用其中一组。需要根据 I2S 外设的 IO 电平, 调整对应的电源域供电, 使其匹配。

在使用 PMIC 供电方案情况下, I2S1_M0 通常作为 PMIC 集成 Codec 的音频通讯接口, 因此该组 VCCIO 供电可直接使用 PMIC 的 VCCIO_ACODEC 电源。

I2S0 接口上下拉和匹配设计推荐如表所示。

信号	内部上下拉	连接方式	描述 (芯片端)
I2S1_8CH_MCLK	下拉	串联 22ohm 电阻	I2S 系统时钟输出
I2S1_8CH_SCLK_TX	下拉	串联 22ohm 电阻	I2S 连续串行时钟 (TX, 关联 Audio Play)
I2S1_8CH_LRCK_TX	下拉	串联 22ohm 电阻	I2S 帧时钟, 用于声道选择 (TX, 关联 Audio Play)
I2S1_8CH_SDO0	下拉	直连	I2S 串行数据 0 输出
I2S1_8CH_SDO1	下拉	直连	I2S 串行数据 1 输出
I2S1_8CH_SDO2	下拉	直连	I2S 串行数据 2 输出
I2S1_8CH_SDO3	下拉	直连	I2S 串行数据 3 输出
I2S1_8CH_SCLKRX	下拉	串联 22ohm 电阻	I2S 连续串行时钟 (RX, 关联 Audio Record)
I2S1_8CH_LRCKRX	下拉	串联 22ohm 电阻	I2S 帧时钟, 用于声道选择 (RX, 关联 Audio Record)
I2S1_8CH_SDI0	下拉	直连	I2S 串行数据 0 输入
I2S1_8CH_SDI1	下拉	直连	I2S 串行数据 1 输入
I2S1_8CH_SDI2	下拉	直连	I2S 串行数据 2 输入
I2S1_8CH_SDI3	下拉	直连	I2S 串行数据 3 输入

RK3566 I2S1 接口设计

3.4.2 I2S2 数字音频接口

I2S2 接口包含独立的 2 通道输出和 2 通道输入, 为满足播放和录音的异采样率的需求, 位时钟和帧时钟也对应提供两组 (SCLKTX\LCKTX, SCLKRX\LCKRX); 需要注意的是, 对于 SDOx 和 SDIx 只参考一组位/帧时钟的情形, 默认使用 SCLKTX\LCKTX 同时作为它们的共同时钟。I2S2 接口支持主从工作模式, 软件可配置; 支持 3 种 I2S 格式 (常规、左对齐、右对齐); 支持 4 种 PCM 格式 (early、late1、late2、late3)。

该组 I2S 引脚复用在两个不同的电源域, I2S2_M0 复用在 VCCI04, I2S2_M1 复用在 VCCI06, 均可完整引出所有信号。I2S2_M0 和 I2S2_M1 不能同时使用, 每次只能用其中一组。需要根据 I2S 外设的 IO 电平, 调整对应的电源域供电, 使其匹配。

在带有蓝牙功能的设计中, 默认情况下 I2S2 使用 M0 处复用, 作为 PCM 功能与蓝牙外设连接。设计中需要检查接口与蓝牙外设的收发信号对应连接关系。

I2S2 接口上下拉和匹配设计推荐如表所示。

信号	内部上下拉	连接方式	描述 (芯片端)
I2S2_MCLK	下拉	串联 22ohm 电阻	I2S 系统时钟输出
I2S2_SCLK_TX	下拉	串联 22ohm 电阻	I2S 连续串行时钟 (TX, 关联 Audio Play)
I2S2_LRCK_TX	下拉	串联 22ohm 电阻	I2S 帧时钟, 用于声道选择 (TX, 关联 Audio Play)
I2S2_SD00	下拉	直连	I2S 串行数据 0 输出
I2S2_SCLKRX	下拉	串联 22ohm 电阻	I2S 连续串行时钟 (RX, 关联 Audio Record)
I2S2_LRCKRX	下拉	串联 22ohm 电阻	I2S 帧时钟, 用于声道选择 (RX, 关联 Audio Record)
I2S2_SDI0	下拉	直连	I2S 串行数据 0 输入

RK3566 I2S2 接口设计

3.4.3 I2S3 数字音频接口

I2S3 接口支持 2 通道输出与 2 通道输入, 需保持同采样率。

I2S3 接口支持主从工作模式, 软件可配置; 支持 3 种 I2S 格式 (常规、左对齐、右对齐); 支持 4 种 PCM 格式 (early、late1、late2、late3)。

该组 I2S 引脚复用在两个不同的电源域, I2S3_M0 复用在 VCCI05, I2S3_M1 复用在 VCCI07, 均可完整引出所有信号。I2S3_M0 和 I2S3_M1 不能同时使用, 每次只能用其中一组。需要根据 I2S 外设的 IO 电平, 调整对应的电源域供电, 使其匹配。

I2S3 接口上下拉和匹配设计推荐如表所示。

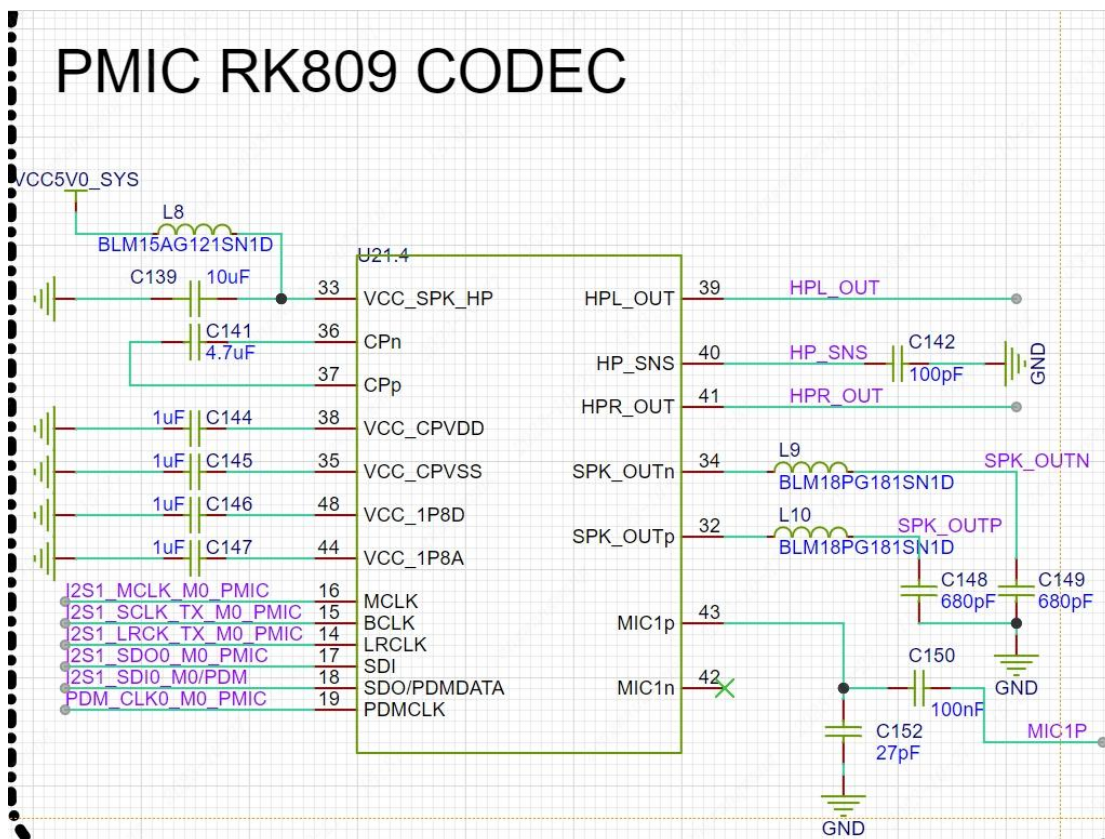
信号	内部上下拉	连接方式	描述 (芯片端)
I2S3_MCLK	下拉	串联 22ohm 电阻	I2S 系统时钟输出
I2S3_SCLK	下拉	串联 22ohm 电阻	I2S 连续串行时钟 (TX, 关联 Audio Play)
I2S3_LRCK	下拉	串联 22ohm 电阻	I2S 帧时钟, 用于声道选择 (TX, 关联 Audio Play)
I2S3_SD00	下拉	直连	I2S 串行数据 0 输出
I2S3_SDI0	下拉	直连	I2S 串行数据 0 输入

RK3566 I2S3 接口设计

该组 PDM 引脚复用在三个不同的电源域, PDM_M0 复用在 VCCI01, PDM1_M1 复用在 VCCI06, PDM_M2 复用在 VCCI05。三处复用不能同时使用, 每次只能用其中一组。需要根据 PDM 外设的 IO 电平, 调整对应的电源域供电, 使其匹配。

3.4.6.1 MIC

在使用 PMIC 供电方案下, RK809-5 自带的 Codec 可以扩展耳机输出、小功率单声道喇叭、一路差分或两路单端音频输入的功能。二者电路一致, 下文以 RK817-5 作示意进行介绍:



Codec 电路

Codec 输入的 HPSNS 作为内部 Offset 参考, 这个引脚在外部需要连接到 GND 作参考。对于 HPOUT 作 LINEOUT 使用连接外部功放的场景, HPSNS 可在 PMIC 附近接地。对于耳机输出的场景, HPSNS 需要单独走线到耳机座子处与 GND 相连, 减小与耳机 GND 间的电平差, 走线时在 HPR/HPL 中间伴随走线, 避免受其他信号干扰, 走线如下图示意。耳机座的 HP_DET 串接 1K0hm 电阻, 并留有 100nF 滤波电容和 ESD 器件, 以加强抗静电浪涌能力, HP_DET 可以使用 GPIO 的内部上拉, 此时外部的 100K0hm 上拉电阻可不上线。

Codec 内置单声道免滤波喇叭驱动电路, 可提供 1.3W@8ohm 的驱动能力, 满足对小功率单声道的应用场景, 可省去额外的外部功放成本。喇叭输出的滤波电路靠近 RK817-5, ESD 防护器件则放置在靠近连接座处。

若 Codec 内置单声道喇叭驱动电路无法满足对驱动能力的要求, 或需要实现立体声功能或追求更高音质时, 可外挂独立的模拟/数字功放。当外挂模拟功放时, 使用 HPOUT 作 LINEOUT 进行输出; 当外挂数字功放时, 连接到 I2S 接口即可。

3.5 视频输出接口设计 (Video Output)

RK3566 芯片内置了 VOP 视频控制器, 有三个视频 Port, 支持 MIPI/DSI/eDP/HDMI/BT656TX/BT1120TX 视频输出模式, 最多支持不同/或多个接口的双屏同显。

需要注意, RK3566 屏+HDMI 双显的情况存在如下限制:

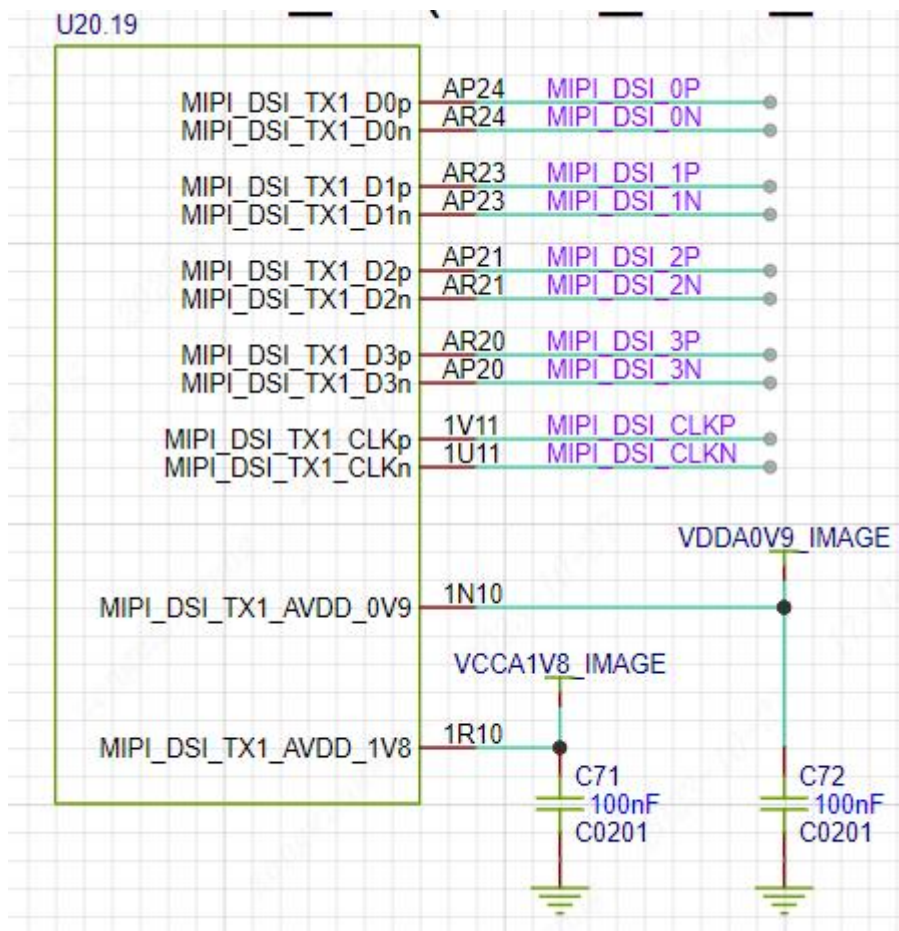
- HDMI 不支持隔行分辨率。

- HDMI 会过滤掉 60 帧以下的分辨率。
- 主副屏的方向需要一致，最好比例一致；如果 HDMI 做副屏，则主屏需要是横屏，否则 HDMI 会严重拉伸。

3.5.1 MIPI-DSI 输出

RK3566 集成了两个 MIPI-DSI 控制器，均为 4lane 接口，速率可达 2.5Gbps/lane，输出最大分辨率可达 1920x1080@60Hz。

相关信号如图所示：



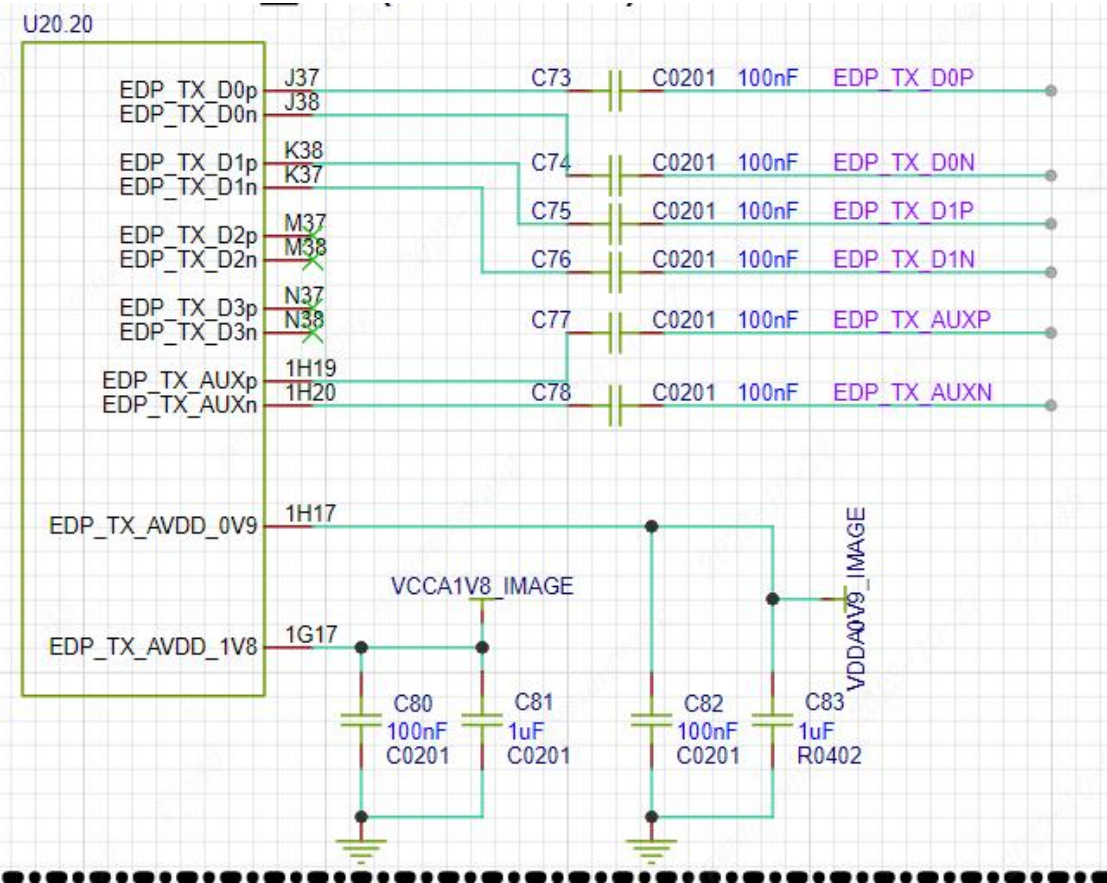
RK3566 MIPI-DSI 接口

3.5.2 eDP 输出

RK3566 集成了一个 eDP V1.3 控制器，支持速率 1.62Gbps/lane 和 2.7Gbps/lane，支持 1lane、2lane 和 4lane 模式，最大输出分辨率可达 2560x1600@60Hz。支持 AUX 通道，速率可达 1Mbps。

差分信号对串接的 100nF 耦合电容须靠近发送端放置，建议使用 0201 封装，以降低 ESR 和 ESL，同时降低线路的阻抗突变。

相关信号如图所示：



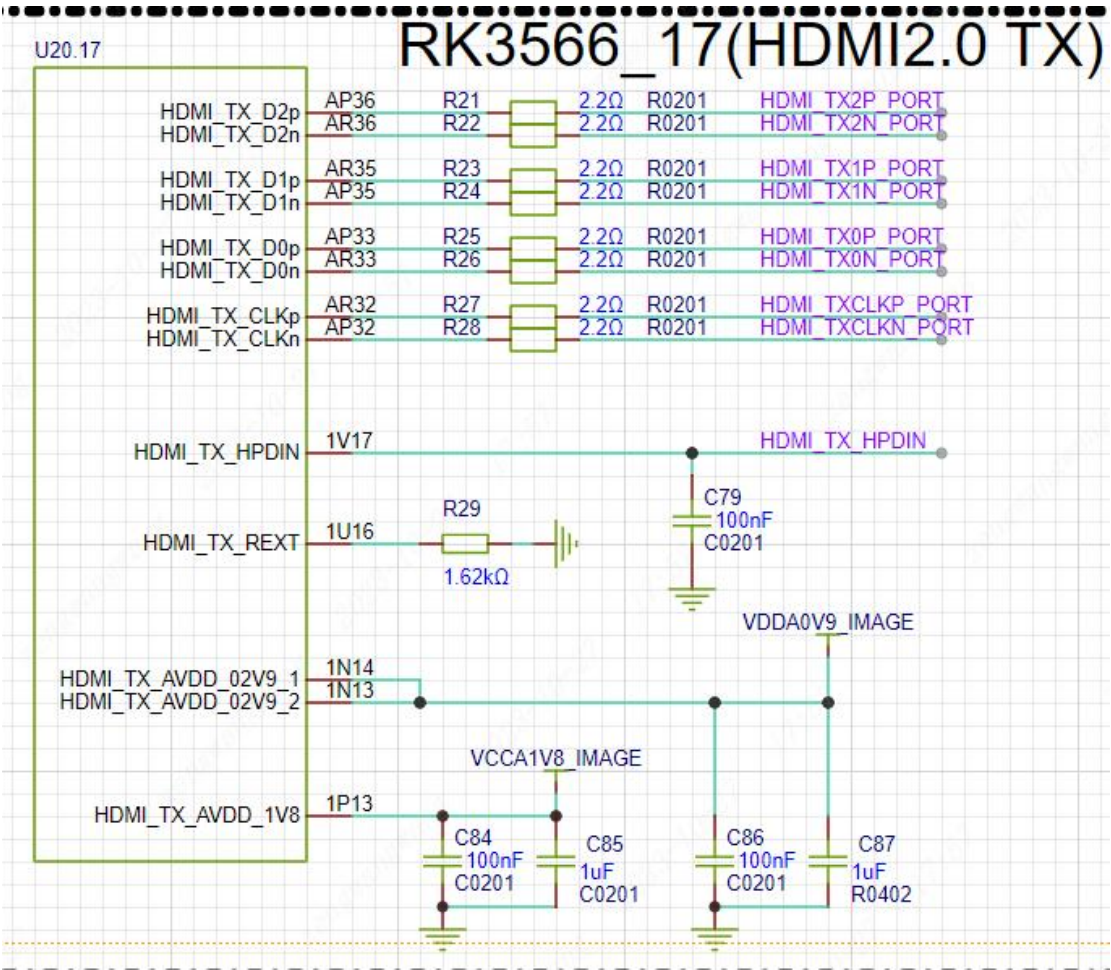
RK3566 EDP 接口

eDP 接口阻抗和说明如下表：

信号	阻抗	说明
eDP_TX_DP/DN[3:0]	阻抗 100ohm±10%	eDP TX 数据发送，串接 100nF 电容
eDP_TX_AUXP/N	阻抗 100ohm±10%	eDP TX 附属通道，串接 100nF 电容 在 eDP 屏的端子端，AUXP 预留 100k 下拉电阻， AUXN 预留 100k 上拉电阻
eDP_HPDIIN	无	eDP TX 插入检测

3.5.4 HDMI2.0 TX 输出

RK3566 提供了一个 HDMI 输出接口，最大输出分辨率可达 4096x2160@60Hz。相关信号如图所示。设计上，差分对串联 2.2ohm 电阻，以增强抗静电浪涌能力；CLK 信号上预留共模电感，作为应对 EMI 的可能措施：

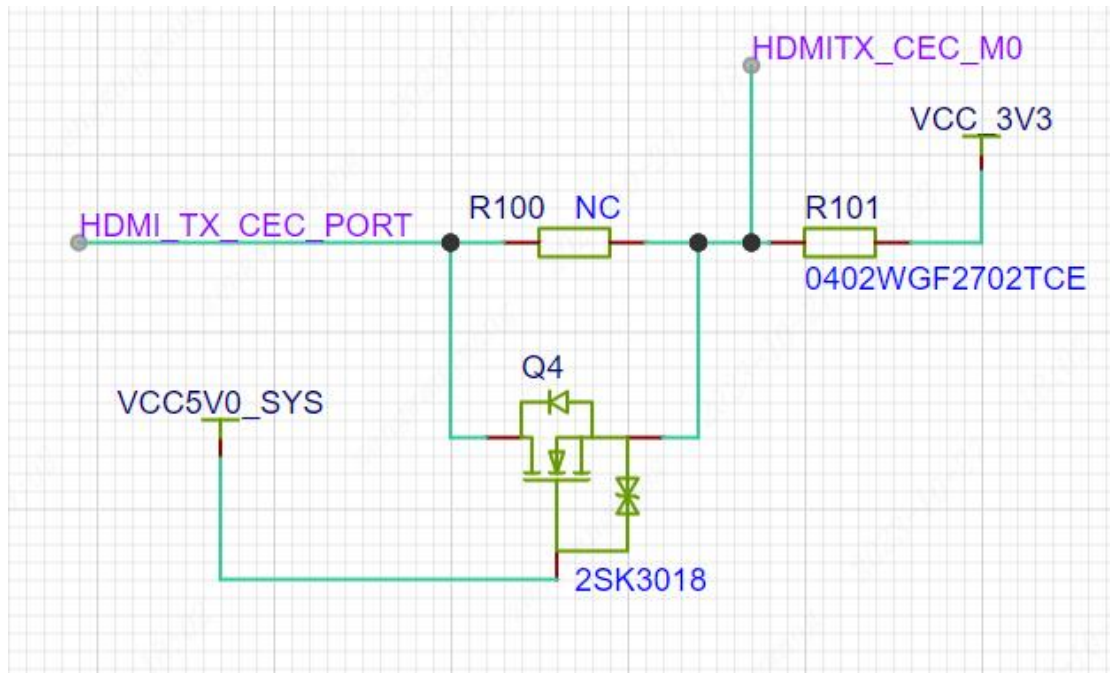


RK3566 HDMI 接口

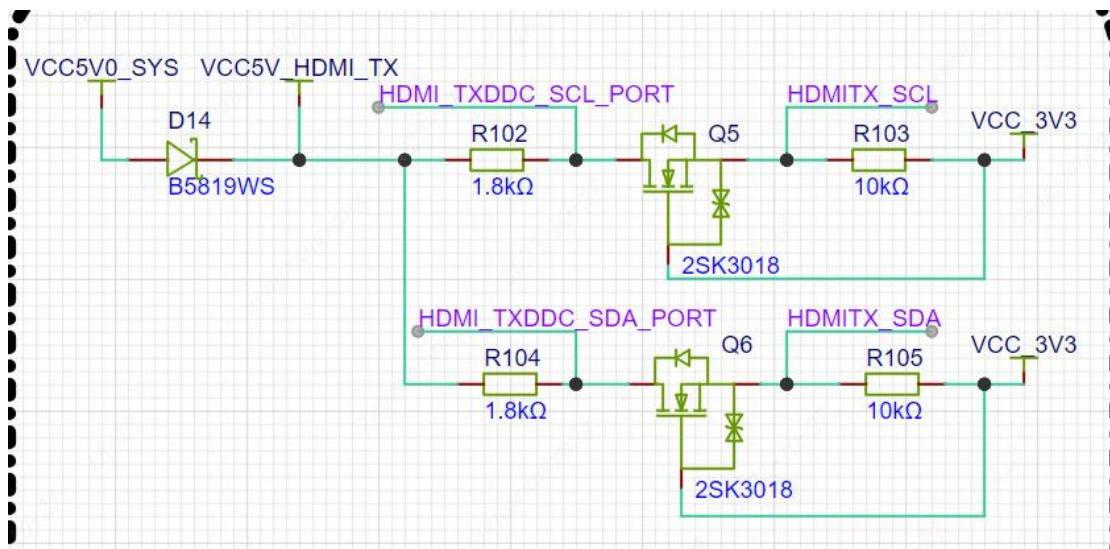
HDMI 控制器参考电阻 R1708 请选用 1%精度的 1.62k 电阻,该电阻会影响信号眼图质量,客户不得随便更改,layout 上需靠近 RK3566 放置。

HDMI_TX_HPDI 是 PHY 自带的功能,支持 5V 电平,检测有效电平范围为 2.4~5.3V,建议在该网络靠近 RK3566 管脚处放置一个消抖电容。而在靠近座子端,则需要串接 1K0hm 电阻,以加强抗静电浪涌能力,并预留 100K0hm 对地电阻。

此外,HDMI 接口的 CEC 电路应注意防倒灌隔离设计,DDC (I2C) 电路应注意电平转换 (RK3566 的 HDMI I2C 不支持 5V 电平,默认使用 2SK3018 MOS 管转换电路,如需替换器件,应注意结电容值相当),
参考下列截图:

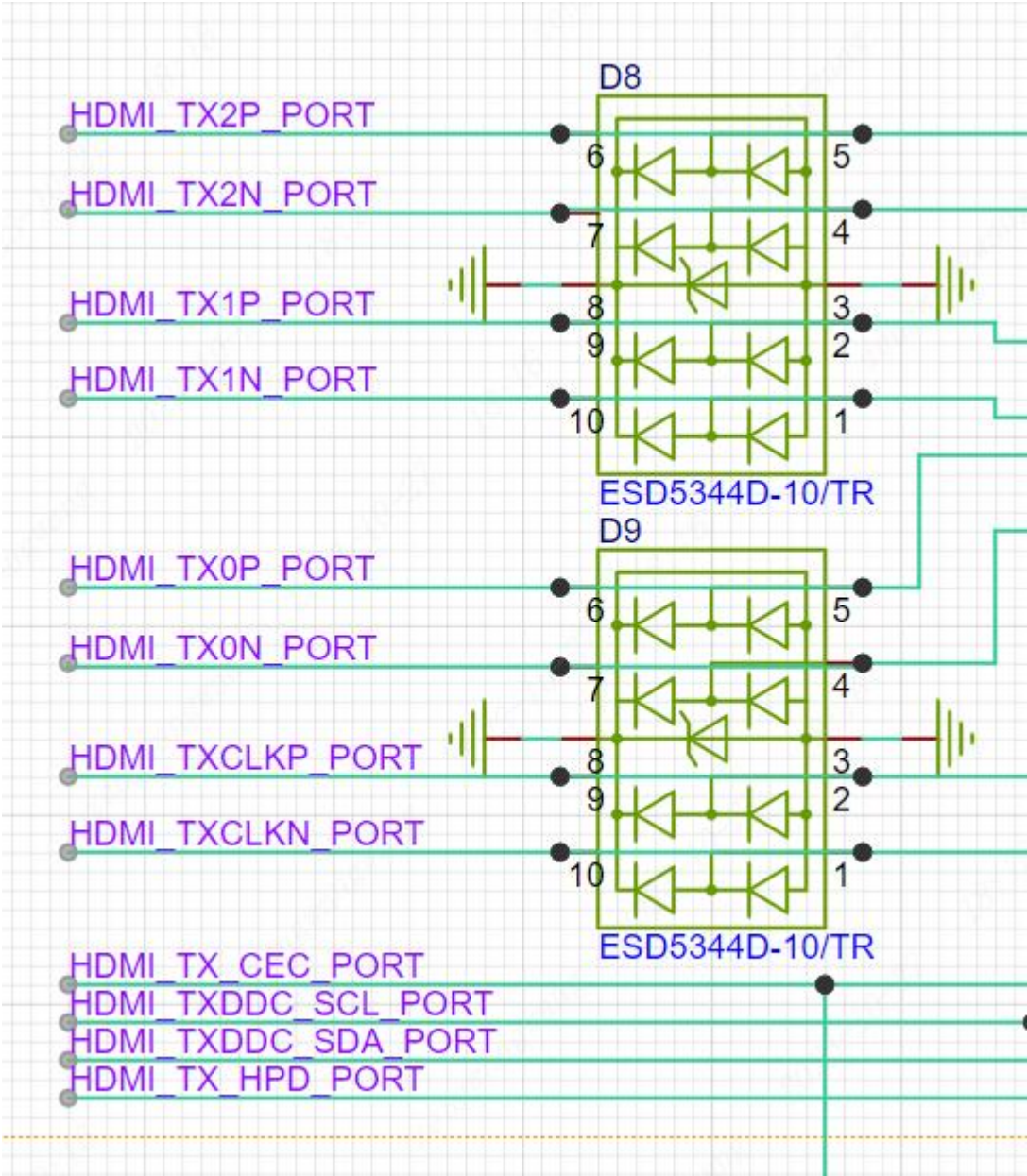


RK3566 HDMI CEC 防倒灌电路



HDMI I2C 电平转换电路

HDMI 的差分信号与低速控制信号都应进行 ESD 防护,ESD 器件需靠近 HDMI 接口放置,推荐电容最大不超过 0.4pF (低速控制信号要求可降低)。考虑到成本等原因,I2C_SCL、I2C_SDA、CEC、HPD 四个信号也可以使用 4in1 的 ESD 器件。



RK3566 HDMI 信号的 ESD 防护

HDMI 接口阻抗和说明如下表:

信号	阻抗	说明
HDMI_TX_DP/DN[2:0]	阻抗 100ohm±10%	HDMI TX 数据发送
HDMI_TX_CLKP/CLKN	阻抗 100ohm±10%	HDMI TX 时钟发送
HDMI_TX_HPDIN	无	HDMI TX 插入检测
HDMI_TX_REXT	无	HDMI 参考电阻连接管脚, 默认使用 1%精度 1.62k 电阻
HDMITX_SCL/SDA	无	HDMI 数据通讯通道
HDMITX_CEC	无	HDMI 消费电子控制引脚

3.5.7 LCD 屏和触摸屏设计注意点

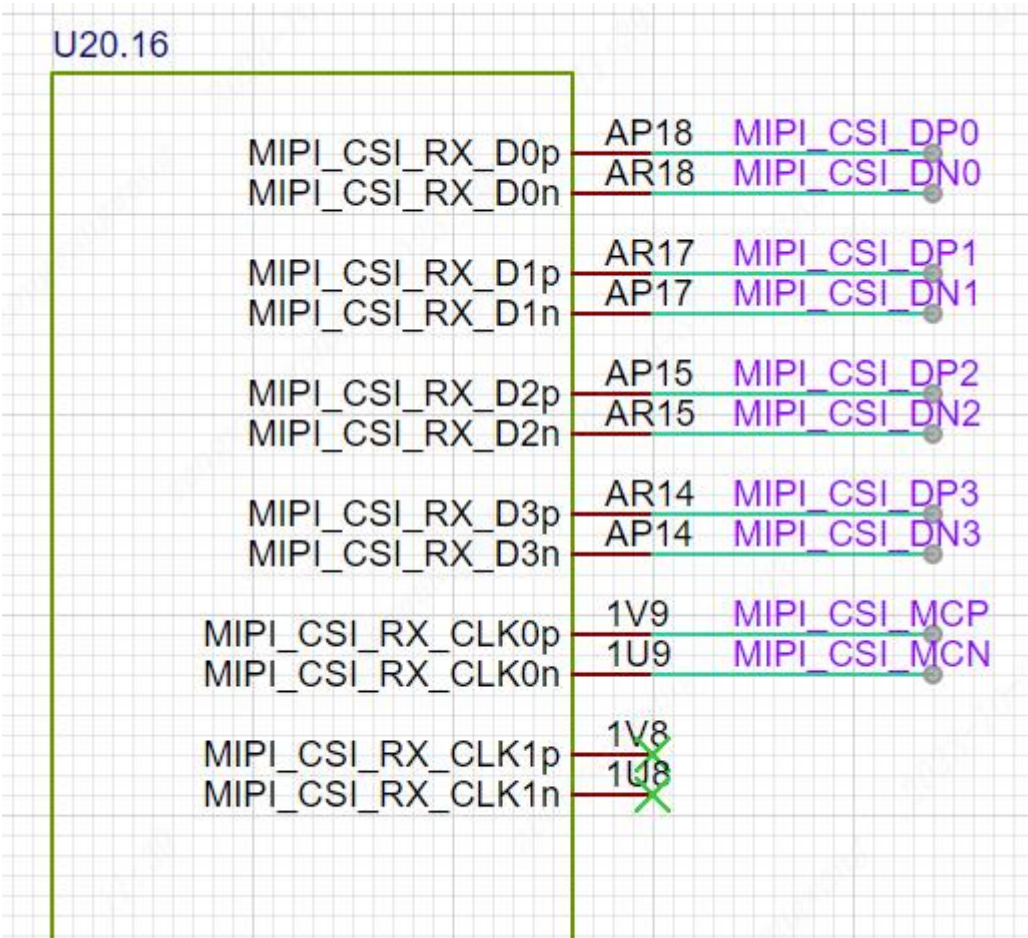
- LED 背光升压 IC 的 FB 端限流电阻, 请选用 1%精度电阻, 并按功率需求选择合适的封装尺寸。
- LED 背光升压 IC 的 EN/PWM 管脚, 选择内部下拉的 GPIO, 外接下拉电阻, 避免上电时出现闪屏现象。
- LED 背光的驱动电压输出, 请选择合适额定电压的滤波电容。
- LED 背光升压电路的肖特基二极管请根据工作电流选择合适的型号, 并注意二极管的反向击穿电压, 避免在空载时反向击穿。
- LED 背光升压电路的电感请根据实际型号匹配感量、饱和电流、DCR 等。
- 屏和触摸屏的信号电平要与芯片的 IO 驱动电平匹配, 如 RST/Stand by 等信号。
- 屏的电源必须可控制, 上电时, 默认不提供。
- 屏和触摸屏的去耦电容不得删减, 必须保留。
- TP 的 I2C 总线上拉需考虑漏电问题, 建议不和其它设备共用总线, 如果一定要共用, 注意上拉电源和地址是否冲突。
- 带 Charge pump 的 TP IC, 请注意电容的额定电压。
- 对于屏, 当通过 FPC 与板连接时, 建议串接一定阻值的电阻(22ohm-100ohm 之间, 具体以能满足 SI 测试为准), 并预留 TVS 器件。
- 串行接口的屏在接口处建议预留共模电感。

3.6 视频输入接口设计 (Video Input)

3.6.1 MIPI-CSI 接口

RK3566 内置 ISP 处理器, 有两组 MIPI-CSI 输入, 支持 MIPI V1.2 版本, 总共 4Lane, 有两对时钟。

差分接口输入两组差分时钟信号和四组差分数据信号, 支持 2lane MIPI RX 和 4lane MIPI RX 输入两种模式。相关信号如图所示



RK3566 MIPI-CSI 模块

2lane 或 4lane 模式的配置如下,当使用 4lane 模式时,MIPI_CSI_RX_D[3:0]数据信号参考 CLK0 时钟;当使用 2lane 模式时,可支持两个摄像头输入,其中 MIPI_CSI_RX_D[1:0]数据信号参考 CLK0 时钟,MIPI_CSI_RX_D[3:2]数据信号参考 CLK1 时钟。

摄像头的 MCLK 可以从 RK3566 的以下时钟输出获取: CAM_CLKOUT0, CAM_CLKOUT1, CIF_CLKOUT, REFCLK_OUT。须要注意对应 IO 的电平是否与摄像头 IO 一致。

当使用两个摄像头时,可根据实际情况决定摄像头的供电是分开或合并。此外,还应检查 I2C 地址是否不同,若地址相同,还应连接到两个独立的 I2C 控制器。

Usage of MIPI CSI Dx&CLKs		
Option1	Sensor1 x4Lane	MIPI_CSI_RX_D0-3 MIPI_CSI_RX_CLK0
Option2	Sensor1 x2Lane	MIPI_CSI_RX_D0-1 MIPI_CSI_RX_CLK0
	+ Sensor2 x2Lane	MIPI_CSI_RX_D2-3 MIPI_CSI_RX_CLK1

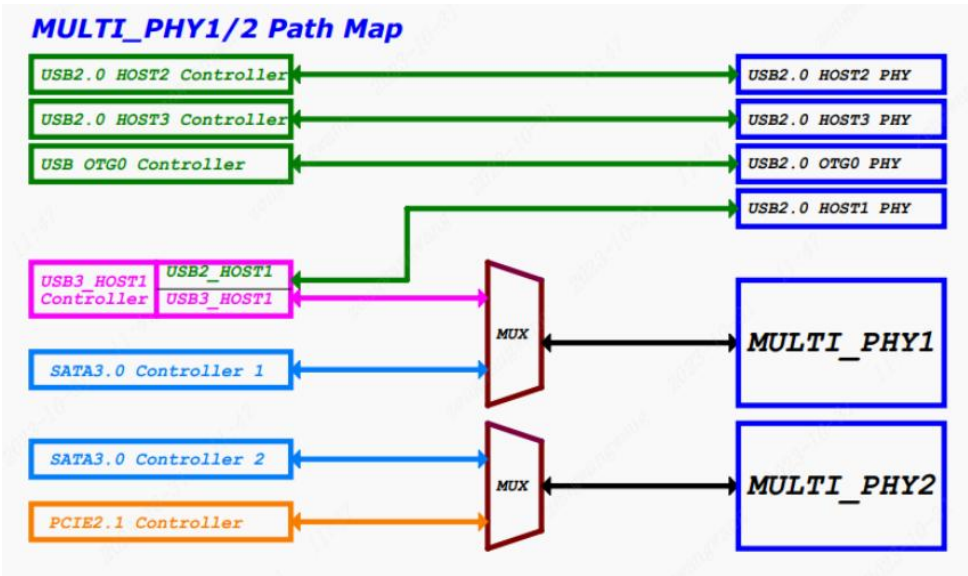
RK3566 MIPI-CSI 工作模式与数据/时钟分配

参考设计中还提供了一种用 MIPI 开关切换的双摄像头方案，这种接法支持 4lane+2lane 的连接，即满足高分辨率+中低分辨率的摄像头组合。须要注意的是，为了保证所有数据信号与时钟的延迟是一致的，每组信号都应经过切换开关再输入。
MIPI-CSI 接口阻抗和说明如下表：

信号	阻抗	说明
MIPI_CSI_RX_DP/DN[3:0]	阻抗 100ohm±10%	MIPI CSIO 数据接收
MIPI_CSI_RX_CLK0P/N	阻抗 100ohm±10%	MIPI 4lane 模式时钟 或 2lane 模式的时钟 0
MIPI_CSI_RX_CLK1P/N	阻抗 100ohm±10%	MIPI 2lane 模式的时钟 1

3.7 组合高速接口设计（MULTI PHY）

RK3566 提供了两组 MULTI PHY，可引出 USB3.0、SATA3.0、PCIE2.0 接口，路径示意图如下，可能的组合有：

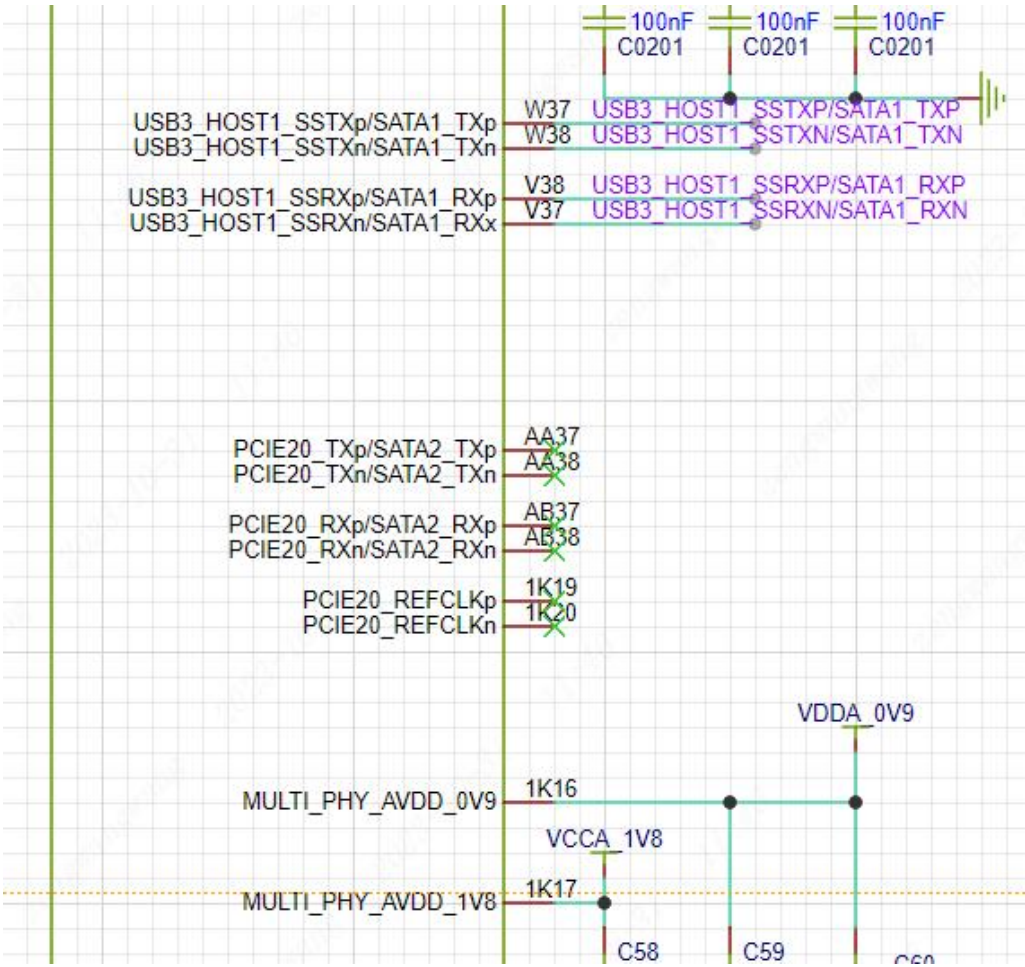


RK3566 MULTI PHY 路径示意图

场景	MULTI PHY U_S	MULTI PHY P_S
1	USB3.0	PCIE2.0
2	USB3.0	SATA3.0_2
3	SATA3.0_1	PCIE2.0
4	SATA3.0_1	SATA3.0_2

RK3566 MULTI PHY 分配组合

RK3566 的 MULTI_PHY 控制器有两组电源, 分别为模拟电源 MULTI_PHY_AVDD_0V9 和 MULTI_PHY_AVDD_1V8; 建议的上电时序为 MULTI_PHY_AVDD_0V9 先上电。



MULTI PHY 信号与电源

四、PCB 设计

1、PCB 设计流程;

1.1 概述

随着科技的不断发展, 电子设备对 PCB 板的要求越来越高, 这也使得 PCB 设计变得越来越重要。PCB, 即印刷电路板, 是实现电子元器件间线路连接和功能实现的重要组成部分, 广泛应用于计算机、手机、电视、音响等电子设备中。为了确保电路板的性能和可靠性, PCB 设计需要遵循一定的规则 and 标准, 并不断创

新和改进。工程师需要具备丰富的知识和技能,以完成这项需要多学科和多领域协作的复杂任务,实现电路的功能需求并优化电路板的性能、可靠性和成本。因此,PCB 板的设计和制造是电子产品开发中不可或缺的一部分,也是满足不断变化的市场需求和技术要求的关键所在

1.2 流程图

前期准备→PCB 结构设计→PCB 布局→布线→布线优化和丝印→网络和 DRC 检查和结构检查→审核→制板

1.3 流程图介绍

1.3.1 第一: 前期准备

这包括准备元件库和原理图。“工欲善其事,必先利其器”,要做出一块好的板子,除了要设计好原理图之外,还要画得好。在进行 PCB 设计之前,首先要准备好的元件(原理图库和 PCB 库)。元件库可以用立创 EDA 的元件库,元件库内容丰富。

1.3.2 第二: PCB 结构设计

这一步根据已经确定的电路板尺寸,在 PCB 设计环境下绘制 PCB 板面,并按定位要求放置所需的接插件、按键/开关、螺丝孔、装配孔等等。并充分考虑和确定布线区域和非布线区域。

1.3.3 第三: PCB 布局

布局说白了就是在板子上放器件。这时如果前面讲到的准备工作都做好的话,就可以在原理图上生成直接生成 PCB。将元器件全托到边框里去,各管脚之间飞线提示连接。然后就可以对器件布局了。一般布局按如下原则进行:

- 按电气性能合理分区,一般分为:数字电路区(即怕干扰、又产生干扰)、模拟电路区(怕干扰)、功率驱动区(干扰源);
- 完成同一功能的电路,应尽量靠近放置,并调整各元器件以保证连线最为简洁;同时,调整各功能块间的相对位置使功能块间的连线最简洁;
- 对于质量大的元器件应考虑安装位置和安装强度;发热元件应与温度敏感元件分开放置,必要时还应考虑热对流措施;
- I/O 驱动器件尽量靠近印刷板的边、靠近引出接插件;
- 时钟产生器(如:晶振或钟振)要尽量靠近用到该时钟的器件;
- 在每个集成电路的电源输入脚和地之间,需加一个去耦电容(一般采用高频性能好的独石电容);电路板空间较密时,也可在几个集成电路周围加一个钽电容。
- 继电器线圈处要加放电二极管;
- 布局要求要均衡,疏密有序,不能头重脚轻或一头沉;

需要特别注意

在放置元器件时,一定要考虑元器件的实际尺寸大小(所占面积和高度)、元器件之间的相对位置,以保证电路板的电气性能和生产安装的可行性和便利性同时,应该在保证上面原则能够体现的前提下,适当修改器件的摆放,使之整齐美观,如同样的器件要摆放整齐、方向一致,不能摆得“错落有致”。这个步骤关系到板子整体形象和下一步布线的难易程度,所以一点要花大力气去考虑。布局时,对不太肯定的地方可以先作初步布线,充分考虑。

1.3.4 布线

布线是整个 PCB 设计中最重要工序。这将直接影响着 PCB 板的性能好坏。在 PCB 的设计过程中, 布线一般有这么三种境界的划分: 首先是布通, 这时 PCB 设计时的最基本的要求。如果线路都没布通, 搞得到处是飞线, 那将是一块不合格的板子, 可以说还没入门。其次是电器性能的满足。这是衡量一块印刷电路板是否合格的标准。这是在布通之后, 认真调整布线, 使其能达到最佳的电器性能。接着是美观。假如你的布线布通了, 也没有什么影响电器性能的地方, 但是一眼看过去杂乱无章的, 加上五彩缤纷、花花绿绿的, 那就算你的电器性能怎么好, 在别人眼里还是垃圾一块。这样给测试和维修带来极大的不便。布线要整齐划一, 不能纵横交错毫无章法。这些都要在保证电器性能和满足其他个别要求的情况下实现, 否则就是舍本逐末了。布线时主要按以下原则进行:

- 一般情况下, 首先应对电源线和地线进行布线, 以保证电路板的电气性能。在条件允许的范围内, 尽量加宽电源、地线宽度, 最好是地线比电源线宽, 它们的关系是: 地线>电源线>信号线, 通常信号线宽为: 0.2~0.3mm, 最细宽度可达 0.05~0.07mm, 电源线一般为 1.2~2.5mm。对数字电路的 PCB 可用宽的地导线组成一个回路, 即构成一个地网来使用(模拟电路的地则不能这样使用)
- 预先对要求比较严格的线(如高频线)进行布线, 输入端与输出端的边线应避免相邻平行, 以免产生反射干扰。必要时应加地线隔离, 两相邻层的布线要互相垂直, 平行容易产生寄生耦合。
- 振荡器外壳接地, 时钟线要尽量短, 且不能引得到处都是。时钟振荡电路下面、特殊高速逻辑电路部分要加大地的面积, 而不应该走其它信号线, 以使周围电场趋近于零;
- 尽可能采用 45° 的折线布线, 不可使用 90° 折线, 以减小高频信号的辐射;(要求高的线还要用双弧线)
- 任何信号线都不要形成环路, 如不可避免, 环路应尽量小;信号线的过孔要尽量少;
- 关键的线尽量短而粗, 并在两边加上保护地。
- 通过扁平电缆传送敏感信号和噪声场带信号时, 要用“地线-信号-地线”的方式引出。
- 关键信号应预留测试点, 以方便生产和维修检测用
- 原理图布线完成后, 应对布线进行优化;同时, 经初步网络检查和 DRC 检查无误后, 对未布线区域进行地线填充, 用大面积铜层作地线用, 在印制板上把没被用上的地方都与地相连接作为地线用。或是做成多层板, 电源, 地线各占用一层。

1.3.5 布线优化和丝印

“没有最好的, 只有更好的”! 不管你怎么挖空心思的去设计, 等你画完之后, 再去看一看, 还是会觉得很多地方可以修改的。一般设计的经验是: 优化布线的时间是初次布线的时间的两倍。感觉没什么地方需要修改之后, 就可以铺铜了(Place->polygon Plane)。铺铜一般铺地线(注意模拟地和数字地的分离), 多层板时还可能需铺电源。时对于丝印, 要注意不能被器件挡住或被过孔和焊盘去掉。同时, 设计时正视元件面, 底层的字应做镜像处理, 以免混淆层面。

1.3.6 网络、DRC 检查和结构检查

首先,在确定电路原理图设计无误的前提下,将所生成的 PCB 网络文件与原理图网络文件进行物理连接关系的网络检查(NETCHECK),并根据输出文件结果及时对设计进行修正,以保证布线连接关系的正确性;

网络检查正确通过后,对 PCB 设计进行 DRC 检查,并根据输出文件结果及时对设计进行修正,以保证 PCB 布线的电气性能。最后需进一步对 PCB 的机械安装结构进行检查和确认。

1.3.7 审查

PCB 审查可以发现和解决 PCB 设计中潜在的问题,提高产品的可靠性和稳定性。同时,PCB 审查可以确保 PCB 板生产过程符合规范,遵循正确的操作流程,减少生产中的错误和失误。

审查的内容有:

- 检查电源、地是否分割正确;单点共地已作处理;
- 检查各层光绘选项正确,标注和光绘名正确;需拼板的只需钻孔层的图纸标注;
- 检查原理图、PCB 设计说明以及 PCB 设计或更改要求、标准化要求说明是否明确;
- 检查定位孔、定位件是否与结构图一致;ICT 定位孔、SMT 定位光标是否加上并符合工艺要求;
- 检查器件的序号是否按从左至右的原则归宿无误的摆放规则,并且无丝印覆盖焊盘。

1.3.8 制板

PCB 设计是一个考心思的工作,谁的心思密,经验高,设计出来的板子就好。所以设计时要极其细心,充分考虑各方面的因数(比如说便于维修和检查这一项很多人就不去考虑),精益求精,就一定能设计出一个好板子。

2、PCB 叠层;

2.1 概述

PCB 叠层由交替的铜层和绝缘材料层组成,例如预浸料和核心层。铜层包含电路并用作电路板上电子信号的导电通路。PCB 叠层是电路板设计的一个重要方面,它决定了电路板的电气特性,包括信号完整性、电力调配和电磁兼容等,还会影响电路板的机械和热性能。PCB 叠层中使用的层数可以是灵活的,由电路的复杂性和特定的设计先决条件决定。

2.2 嘉立创层压结构

嘉立创 4-20 层板共支持 400 种阻抗结构,非常丰富,后续还会不断增加。为了产品稳定性及易于生产,我们建议您直接采用嘉立创现有的层压结构进行设计。现在,我们将这 400 种结构全部展示出来,且支持条件查询,方便您参考和选择。

 嘉立创层压结构

共400种

现在共有400中层压结构

板子层数

请选择

成品厚度

1.6

内层铜厚

0.5oz(常用)

外层铜厚

1oz(常用)

阻抗计算神器

通用推荐结构

常规结构

特殊结构

按条件查询阻抗结构

温馨提示: 嘉立创支持客户自定义结构, 结构图也会持续增加

四层板 共90种

阻抗结构名字

1 编号: JLC04161H-7628(通用推荐/免费)

成品板厚: 1.6 外层铜厚: 1 内层铜厚: 0.5

阻抗结构参数

层名	材料	厚度 (mil)	厚度 (mm)
L1	外层铜厚1oz	1.38	0.0350
PP	7628 RC49% 8.6mil	8.28	0.2104
L2	内层铜厚	0.60	0.0152
芯板	1.1mm H/HOZ 含铜	41.93	1.0650
L3	内层铜厚	0.60	0.0152
PP	7628 RC49% 8.6mil	8.28	0.2104
L4	外层铜厚1oz	1.38	0.0350

本结构常用阻抗线宽线距:
外层单端: 50ohm
外层差分: 100ohm

计算
计算

更多内层及阻值计算

去计算 >

2 编号: JLC04161H-3313

成品板厚: 1.6 外层铜厚: 1 内层铜厚: 0.5

层名	材料	厚度 (mil)	厚度 (mm)
L1	外层铜厚1oz	1.38	0.0350
PP	3313 RC57% 4.2mil	3.91	0.0994
L2	内层铜厚	0.60	0.0152
芯板	1.3mm H/HOZ 含铜	49.80	1.2650
L3	内层铜厚	0.60	0.0152
PP	3313 RC57% 4.2mil	3.91	0.0994
L4	外层铜厚1oz	1.38	0.0350

本结构常用阻抗线宽线距:
外层单端: 50ohm 线宽: 6.16mil
外层差分: 100ohm 线宽: 4.88mil 线距: 8.00mil

更多内层及阻值计算

去计算 >

当然, 如果没有想要的层压结构, 也可以选择自定义, 由嘉立创人工核算。

需要阻抗

无要求 (免费)

JLC04161H-7628 (免费)

更多层压结构

查看层压结构

阻抗计算神器

阻焊颜色

绿色

红色

黄色

蓝色

白色

哑黑色

嘉立创紫

选择嘉立创层压结构 [阻抗计算神器](#)

 板子层数: **4层** 板子厚度: **1.6mm** 内层铜厚: **0.5oz** 外层铜厚: **1oz**

无要求 (免费)	JLC04161H-7628 (免费)
JLC04161H-3313 (免费)	JLC04161H-1080 (100元起)
JLC04161H-7628B (300元起)	JLC04161H-3313A (300元起)
JLC04161H-7628A (300元起)	JLC04161H-1080A (300元起)
JLC04161H-2116C (300元起)	JLC04161H-2116B (300元起)
JLC04161H-2116A (300元起)	客户自定义层压结构 (300元起)

编号	层别	叠层	各介质厚度	
客户自定义层压结构	顶层线路		0.0350mm	自定义叠构提供人工计算阻抗及叠构服务，此层压结构仅做展示
	中间线路0		0.0152mm	
	芯板	core	0.1000mm	
	中间线路1		0.0152mm	
	底层线路		0.0350mm	

① 当前选中为：客户自定义层压结构

取消

确认

总之非常方便, 快去体验一下电子人都爱的层压结构网站吧;

详情链接: <https://tools.jlc.com/jlcTools/#/impedanceDefaultTemplate>

3、PCB 阻抗计算;

3.1 什么是 PCB 阻抗

在具有电阻、电感和电容的电路里, 对交流电所起的阻碍作用叫做阻抗。在某一频率下, 电子器件传输信号线中, 相对 GND&VCC, 其高频信号或电磁波在传播过程中所受的阻力称之为特性阻抗, 它是电阻抗, 电感抗, 电容抗的一个矢量总和。阻抗的单位是欧, 常用 Z 来表示。

3.2 PCB 阻抗计算公式

PCB 阻抗计算公式是: $Z_0 = 87 / \sqrt{\epsilon_r + 1.41} \times \ln[(5.98h) / (0.8w + t)]$

Z₀ 表示印刷导线的特性阻抗

ϵ_r 表示绝缘材料的介电常数

h 表示印刷导线与基准面之间的介质厚度

w 表示印刷导线的宽度

t 表示印刷导线的厚度

3.2 嘉立创阻抗计算神器使用说明

3.2.1 功能介绍

选择板层、板厚、内层铜厚、阻抗层、参考层并输入阻抗值、线距（差分阻抗）、线到铜的距离（共面阻抗），点计算，可自动计算出线宽及叠构方案。

3.2.1 界面介绍

(1)

(2)

嘉立创阻抗计算神器 (新)

(3)

(4)

(5)

阻抗表:

+添加阻抗

+复制阻抗

删除

计算

(6)

(7)

(8)

(9)

(10)

(11)

(12)

需求阻抗 (ohm)	阻抗模式	阻抗层	上参考层	下参考层	线距 (mil)	到铜距离 (mil)
50	单端阻抗 (外层)	L1	/	L2	/	/
50	共面单端 (外层)	L1	/	L2	/	20
100	共面差分阻抗 (外层)	L1	/	L2	8	8

方案一: JLC04161H-1080

需求阻抗(ohm)	阻抗模式	阻抗层	上参考层	下参考层	线宽	线距	到铜距离
50	单端阻抗 (外层)	L1	/	L2	4.9500	/	/
50	共面单端 (外层)	L1	/	L2	4.9500	/	20.0000
100	共面差分阻抗 (外层)	L1	/	L2	4.1300	8.0000	8.0000

层名	材料	厚度 (mil)	厚度 (mm)
L1	外层铜厚1oz	1.38	0.0350
PP	1080 RC67% 3.3mil	3.01	0.0764
L2	内层铜厚	0.60	0.0152
芯板	1.3mm H/HOZ 金铜	49.80	1.2650
L3	内层铜厚	0.60	0.0152
PP	1080 RC67% 3.3mil	3.01	0.0764
L4	外层铜厚1oz	1.38	0.0350

- (1) 板子层数: 选择板子的线路层数, 四层板就选择“4”
- (2) 成品厚度: 选择板子的成品厚度 (包含防焊油墨的厚度)
- (3) 内层铜厚: 选择内层线路的铜箔厚度, 暂时支持 0.5oz 和 10Z, 内层有 20Z 的需求的, 可联系客服计算阻抗
- (4) 外层铜厚: 暂时固定为 10Z (因 20Z 以上蚀刻线宽公差较大, 不利于阻抗管控, 且信号一般也不需要厚铜)
- (5) 计算单位: 可以 mm, mil, um, inch 相互切换
- (6) 需求阻抗 (ohm): 输入需要管控的阻抗值, 单线范围为 20-90ohm, 差分范围为 50-150ohm

- (7) 阻抗模式: 可以选择单端, 共面单端, 差分, 共面差分 (内层需要先选择阻抗层, 再选阻抗模式)
- (8) 阻抗层: 选择阻抗线所在的线路层
- (9) 上参考层: 内层阻抗才选, 选择阻抗线所在层对应的上层屏蔽层, 如 L3 层阻抗, 上参考层可选 L2 层
- (10) 下参考层: 选择阻抗线所在层对应的下层屏蔽层, 如 L3 层阻抗, 下参考层可选 L4 层或 L5 层 (选择 L4 层为参考层时, 阻抗线对应的 L4 层必须被地铜覆盖)
- (11) 线距: 指线边缘到线边缘的距离, 有差分阻抗时, 需输入线距, 当计算出来的线宽偏细时, 可把线距适当调大一些
- (12) 线铜距离: 指阻抗线边缘到铜皮边缘的距离, 单端共面, 或差分共面时才需要输入
- (13) 添加阻抗: 默认只有一行阻抗要求, 点“添加阻抗”, 可以增加阻抗要求
- (14) 复制阻抗: 选中一栏阻抗要求, 可复制增加一栏阻抗要求
- (15) 删除: 选中一栏阻抗要求, 点“删除”, 可删除这栏阻抗的计算
- (16) 计算: 上面 1-12 项输入或选择后, 点“计算”可计算出线宽及叠构信息

3.2.2 叠构编号说明



3.2.3 阻抗板指定叠构下单步骤

嘉立创阻抗计算神器 (新)

板子层数: 4 成品厚度: 1.6 内层铜厚: 0.5oz 外层铜厚: 1oz 计算单位: mil

阻抗表: +添加阻抗 +复制阻抗 删除 计算

需求阻抗 (ohm)	阻抗模式	阻抗层	上参考层	下参考层	线距 (mil)	到铜距离 (mil)
50	单端阻抗 (外层)	L1	/	L2	/	/
100	差分阻抗 (外层)	L1	/	L2	6	/

方案一: JLC04161H-7628 1. 计算阻抗时选择合适的叠构, 并记下此叠构编号

需求阻抗 (ohm)	阻抗模式	阻抗层	上参考层	下参考层	线宽	线距	到铜距离
50	单端阻抗 (外层)	L1	/	L2	14.9900	/	/
100	差分阻抗 (外层)	L1	/	L2	8.0400	6.0000	/

层名	材料	厚度 (mil)	厚度 (mm)
L1	外层铜厚1oz	1.38	0.0350
PP	7628 RC49% 8.6mil	8.28	0.2104
L2	内层铜厚	0.60	0.0152
芯板	1.1mm H/HOZ 含铜	41.93	1.0650
L3	内层铜厚	0.60	0.0152
PP	7628 RC49% 8.6mil	8.28	0.2104
L4	外层铜厚1oz	1.38	0.0350



注: 立创.泰山派开发板的层压结构采用: JLC081611-1080A (嘉立创层压编号)

4、PCB layout 通用布局;

4.1 常规 PCB 布局规范要求

- 遵照“先大后小, 先难后易”的布局原则, 即重要的电路、核心元器件应当优先布局。
- 布局参考原理框图, 根据单板的主信号流向规律安排主要器件。
- 按电路模块进行布局, 布局应尽量满足以下要求: 总的连线尽可能短, 关键信号尽量短; 高电压、大电流信号和小电流、低电压的弱信号完全分开; 模拟信号与数字信号分开; 高频与低频信号分开; 高频元器件的间隔要足够。
- 避免孤立器件, 防止生产过程中意外受损。
- 有极性或方向性的 THD 器件, 布局上要求方向一致, 对于 SMD 器件尽量满足 X、Y 方向上保持一致。
- 尺寸较长的器件长度方向推荐与传送方向一致。
- 热敏感器件尽量远离高热器件。
- 发热器件要均匀分布, 以利于单板和整机的散热, 除温度检测元件以外的温度敏感器件应远离发热量大的元件。
- 布局要满足禁布区: 限高、结构和特殊器件的布局、禁布区要求。
- 布局要先有预布局, 不要拿到板子就直接就开始布局, 预布局可以基于模块抓取之后, 在 PCB 板内进行画线信号流向的分析, 之后再基于信号流向分析,

在 PCB 板里面绘制模块辅助线, 评估模块在 PCB 里面的大概位置和占用范围大小, 绘制辅助线线宽 40mil, 并通过以上操作评估模块和模块之间的布局合理性。

- 布局需要考虑留有电源走线的通道, 不宜太紧太密, 通过规划顺带弄清楚电源从哪里来到哪里去, 梳理电源树。
- 热敏元件(如电解电容器、晶体振荡器)布局时应尽量远离电源等高热器件, 尽量布局在上风口。
- 高电压、大电流信号与小电流, 低电压的弱信号完全分开, 高压部分采取所有层挖空处理, 不要额外的铺铜, 高压之间的爬电间距。
- 模拟信号与数字信号分开, 分割宽度至少 20mil, 且模拟和射频按照模块化设计里面的要求 ‘一’ 字型或 ‘L’ 型布局。
- 高频信号与低频信号分开, 隔开距离至少保证 3mm 以上, 不能交叉布局。
- 晶振、时钟驱动等关键信号器件的布局, 需远离接口电路布局, 不要布局在板边, 离板边至少要有 10mm 以上的距离, 晶体和晶振靠近芯片放置, 同层放置, 不要打孔, 预留包地的空间。
- 常规后焊器件(接插件), 同层布局时, 器件保证和接插件 1.5mm 及以上间距, 背面布局器件时, 保证至少 3mm 及以上间距要求。插拔器件或板边连接器周围 3mm 范围内尽量不布置 SMD 器件, 以防止连接器插拔时产生的应力损伤器件。
- BGA 器件: 同面器件布局在 BGA 器件周边 5mm 以外, 在空间拥挤的情况下, 同面器件也可布局在 3mm 以外。
- BGA 器件的电源滤波电容背面布局, 尽量靠近相应的电源管脚布局, 布局在 BGA 的两相邻焊盘的对称中心上。
- BGA 器件双面布局, 一般情况下, BGA 器件不允许布局在背面, 当背面有布局 BGA 器件时, 不能在正面 BGA 器件周围 8mm 的投影范围内放置 BGA 器件,
- 双面布局器件, 除非有特要求, 大器件和芯片统一放置到 TOP 层, 背面放置 0805、0603、0402 的电阻容器件, 如图 3-24 所示。
- 小元件(电阻容及 Chip 类器件)周围不能被高器件包围, 要有足够的空间(左右至少 3mm), 方便拆卸, 高矮器件布局原则, 高器件布局在低矮器件的后面, 并且沿风阻最小的方向布局, 防止风道受阻。
- 金属壳体器件, 不同属性的金属件(如散热片、屏蔽罩)或金属壳体器件不能相碰, 确保不与其它器件相碰, 确保最小 1mm 的距离满足安装空间要求。
- 推荐器件布局方向为 0 度, 90 度, 除非特殊情况, 请不要 45° 摆放。

5、PCB layout 通用布线;

5.1 PCB 布线类型

按照信号类型分为: 信号线、电源线、地线。

按传输延时与信号上升时间的比值分为: 高速信号和低速信号。

按功能分为: 模拟信号和数字信号。

按布线的物理结构分为: 带状线、微带线、共面线等。

5.2 布线基本要求

- 为满足板厂生产工艺能力要求, 最小线宽线距要求: 通孔板/4mil, HDI 板最小 3/3mil,
- 但通常推荐 4/4mil, 布线到板边最小间距 12mil。
- 走线不能出线任意角度走线挑战厂商生产能力, 很多蚀刻铜线时候出现问题, 推荐 45° 或 135° 走线
- 同一网络不宜 90° 直角或锐角走线, 一般是 PCB 布线中要求尽量避免的情况, 也几乎成
- 为衡量布线好坏的标准之一, 直角走线会使传输线的线宽发生变化, 造成阻抗的不连续, 造成信号的反射, 尖端产生 EMI 影响线路
- 不同种类信号在同层和相邻层都考虑分区布置。
- 重要信号线相邻层交叉, 要垂直布置, 并在跨分割的重要信号线周围加地孔, 保证回流信号在其他地层又最短回流路径。
- Chip 元件焊盘的设计要求对称和尺寸一致, 避免因设计不合理而造成回流焊时表面张力不平衡, 从而导致吊桥、移位、立碑的发生。
- 连接器管教拉线需要从焊盘中心拉出再往外走, 不可出现其他的角度, 避免在连接器拔插的时候把线撕裂。
- 对于 QFP, SOP, SOJ 等 IC 的焊盘, 焊盘引脚不能直接相连。应外引相连。引线不能从焊盘中引出, 应从焊盘两端引出。

5.3 电源、地线

- 电源线线宽需满足过流要求。
- 模拟小信号电路电源、RF 电源应进行地保护, 时钟信号以及强干扰源信号应该与关键电源隔开。
- 电源走线换层处要有足够的过孔, 采用多个过孔并联以减少寄生电感。

5.4 DDR 总线

- 同一组数据线及其对应的 DQS Strobe 线, 如, DQ【0: 7】、DM0、DQS0、DQS0-, 应该在同一层, 以减小信号 skew。
- DDR 信号线的参考平面最好是选择地平面。如果需要选择电源平面作为参考面, 电源平面需要包围整个 DDR 走线。
- 各信号线的长度匹配如下表 (控制线: cs、cke、odt; 命令线: Address、Bank Address、RAS、CAS、WE; 数据线: DQ、DM)
- 时钟信号差分对的长度差应控制在 5mil 以内, 与其他信号线间距大于 20mil。
- 同一组信号线的间距需大于线宽的 1.5 倍 (最好 2 倍), 不同组间的信号线间距大于线宽的 2 倍 (最好 3 倍以上)。
- 每条信号线的过孔数最好不要超过 2 个。

5.5 USB 总线

- 差分走线, 阻抗控制 90ohm ($\pm 10\%$), 一对差分线上尽量不要超过两对过孔, 需对称放置, 且需要包地处理。
- 差分对两根线控制等长, 长度差控制在 5mil 以内。
- 差分串接阻容, 测试点, 上下拉电阻的摆放按左图摆放。

5.6 晶振

- 晶振尽量靠近 IC，负载电容放置于晶振与 IC 之间，走线尽量短。
- 晶振在布局时尽量远离电感，其他晶振及 RF。
- 晶振表层要净空致本体大小 晶振的地 PIN 要单点接地。
- 晶振走线尽量走类差分线。
- 晶振本体相邻层最好不要走线，保证完整的地。

5.7 时钟信号

- 时钟信号线与其他信号线尽量保持 2H 原则，H 为信号线到所对应耦合平面的距离。
- 时钟信号尽量内层走线，必须包地处理，其下方需要完整的地平面做参考。

5.8 PPS

PPS 线尽量短，且全程包地处理。

5.9 RF 信号线

- RF 信号线优先表层走线，尽量少打孔，避免长距离走线，禁止有多余的线头。RF 信号周围需要铺地加地孔隔离。
- 射频信号线控制 50 Ω 共面阻抗，禁止 RF 信号线跨越邻层的地平面缝隙。
- 微带线要包地处理，地铜皮与线边缘保持 2H 以上，H 表示介质厚度。
- 带状线要包地铜皮处理，边缘到地平面保持 2H 以上，H 为带状线上下层介质总厚度条件允许的情况下，射频器件焊盘次表面挖空处理。
- 射频器件接地焊盘有孔到主地
- RF 信号远离器件安装孔，并铺地打孔。

6、接口电路的 PCB 设计；

6.1 USB 接口

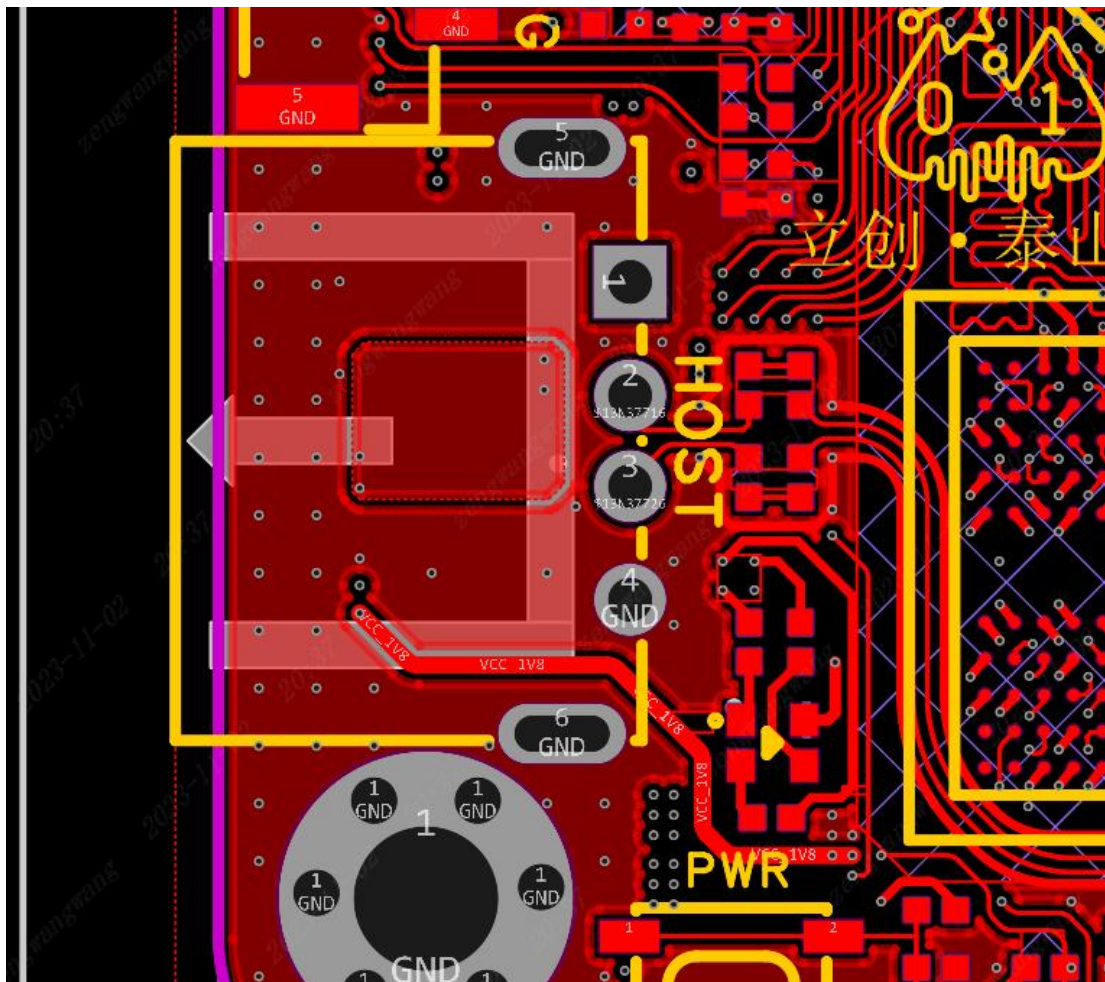
6.1.1 USB 接口的 PCB 布局要求

- USB 应该接口靠近板边或结构定位放置，伸出板边一定位置(直插除外)，方便插拔。
- ESD 共模电感器件靠近 USB 接口，放置的顺序是 ESD-共模电感-阻容。
- 注意 ESD 和 USB 的距离，留有一定的间距，考虑后焊的情况。
- 在布局时，尽量使差分线路最短，以缩短差分线距离。

6.1.2 USB 接口的 PCB 布线要求

- USB 要走差分，阻抗控制为 90 欧姆，并包地处理，总长度最好不要超过 1800mil。
- 尽可能缩短走线长度，优先考虑对高速 USB 差分(RX、TX 差分)的布线，USB 差分走线在走线的时候，尽可能减少换层过孔，从而可以更好的做到阻抗的控制，避免信号的反射。
- 过孔会造成线路阻抗的不连续，在每次打孔换层的地方加一对回流地过孔，用于信号回流换层。

- 若 USB 两边定位柱接的是保护地, 分割时保证与 GND 的距离是 2MM, 并在保护地区域多打孔, 保证充分连接。
- 由于管脚分布、过孔、以及走线空间等因素存在使得差分线长易不匹配, 布线长一旦不匹配, 时序会发生偏差, 还会引起共模干扰, 降低信号质量。所以相应的要对差分对不匹配的情况作出补偿, 使其线长匹配, 长度差通常控制在 5mil 以内, 补偿按照差分等长规范来进行。

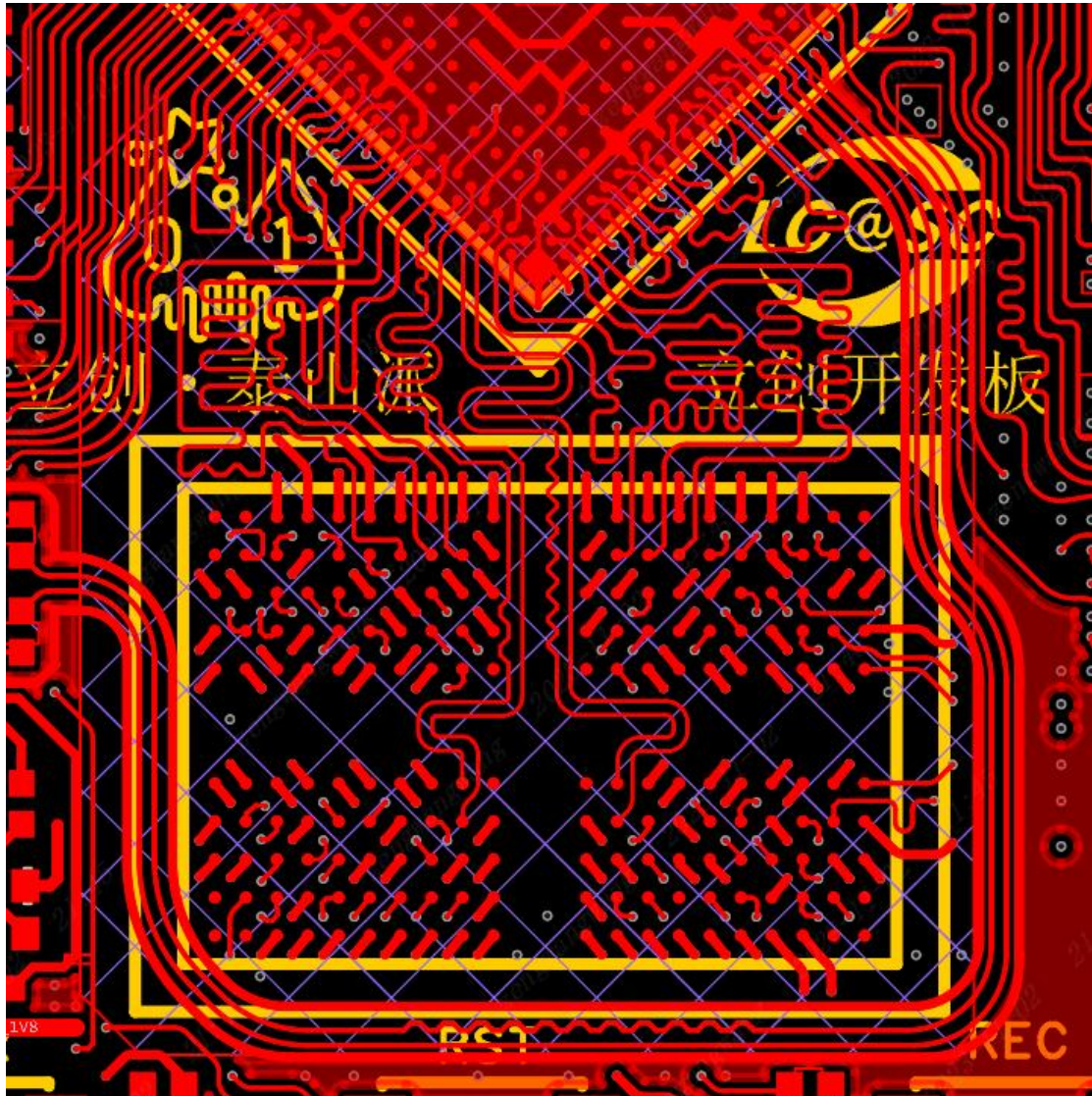


USB 接口电路

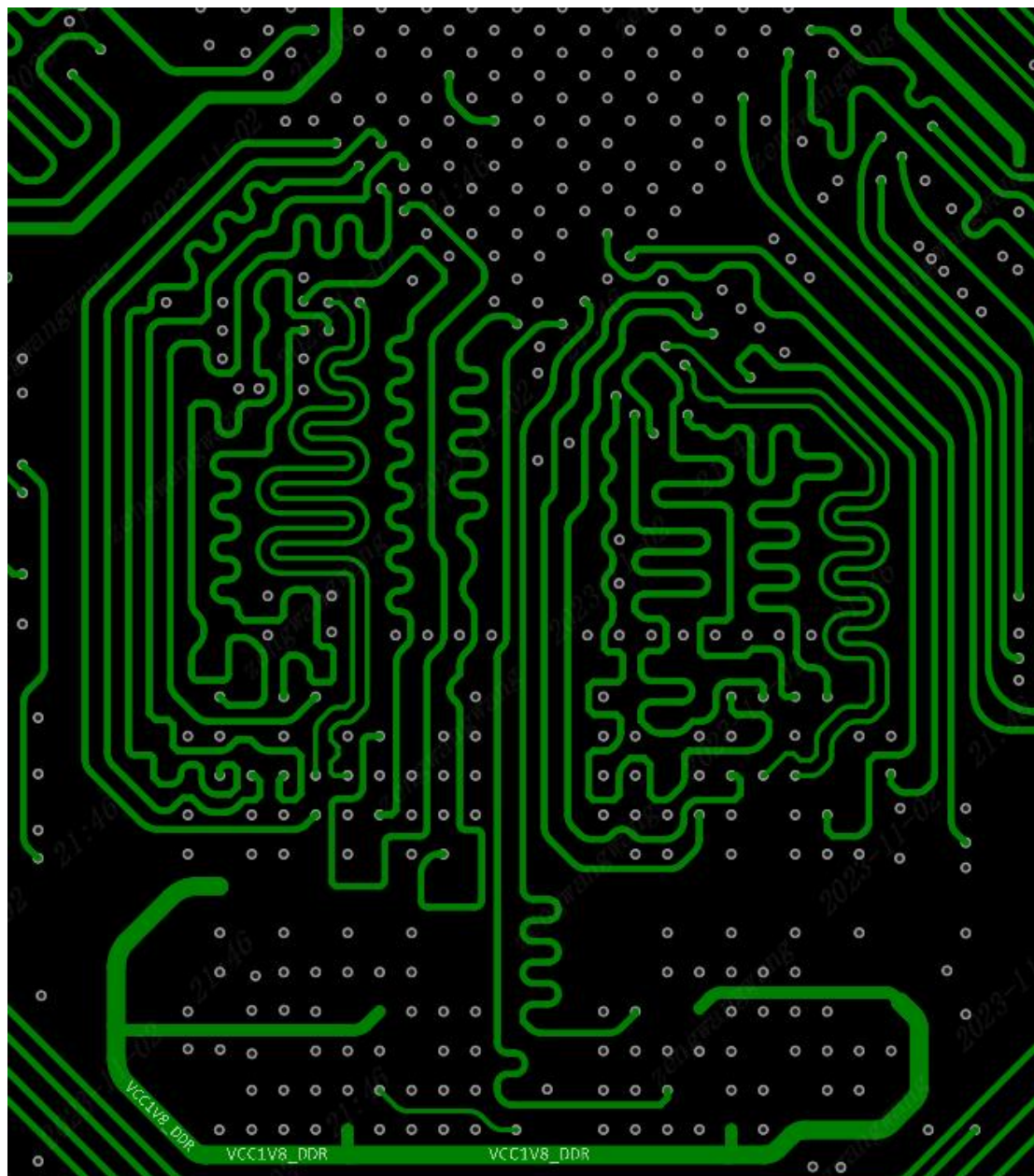
6.2 LPDDR4/4X

- LPDDR4/4x DQ 和 DQS 之间与 DM 和 DQS 之间等长可以不严格控制, 建议控制在 600mil 以内, 但确保 DQ 走线尽可能短
- LPDDR4/4x DQSP/N 之间等长需要控制在 12mil 以内。
- LPDDR4/4x CLKP/N 之间等长需要控制在 12mil 以内。
- LPDDR4/4x DQS 和 CLK 之间等长需要控制在 1200mil 以内。
- LPDDR4/4x DQS 有条件的情况下可全程包地处理, 包地的走线间隔 200mil 以内必须有地过孔, LPDDR4/4x DQ 组内的信号间的空隙: ≥ 2 倍线宽, LPDDR4/4x DQ 和 DM 信号间的空隙: ≥ 2 倍线宽。
- LPDDR4/4x 的 CA/CMD 信号和 CLK 之间的等长可以不严格控制, 建议控制在 500mil 以内, 但确保走线尽可能短。

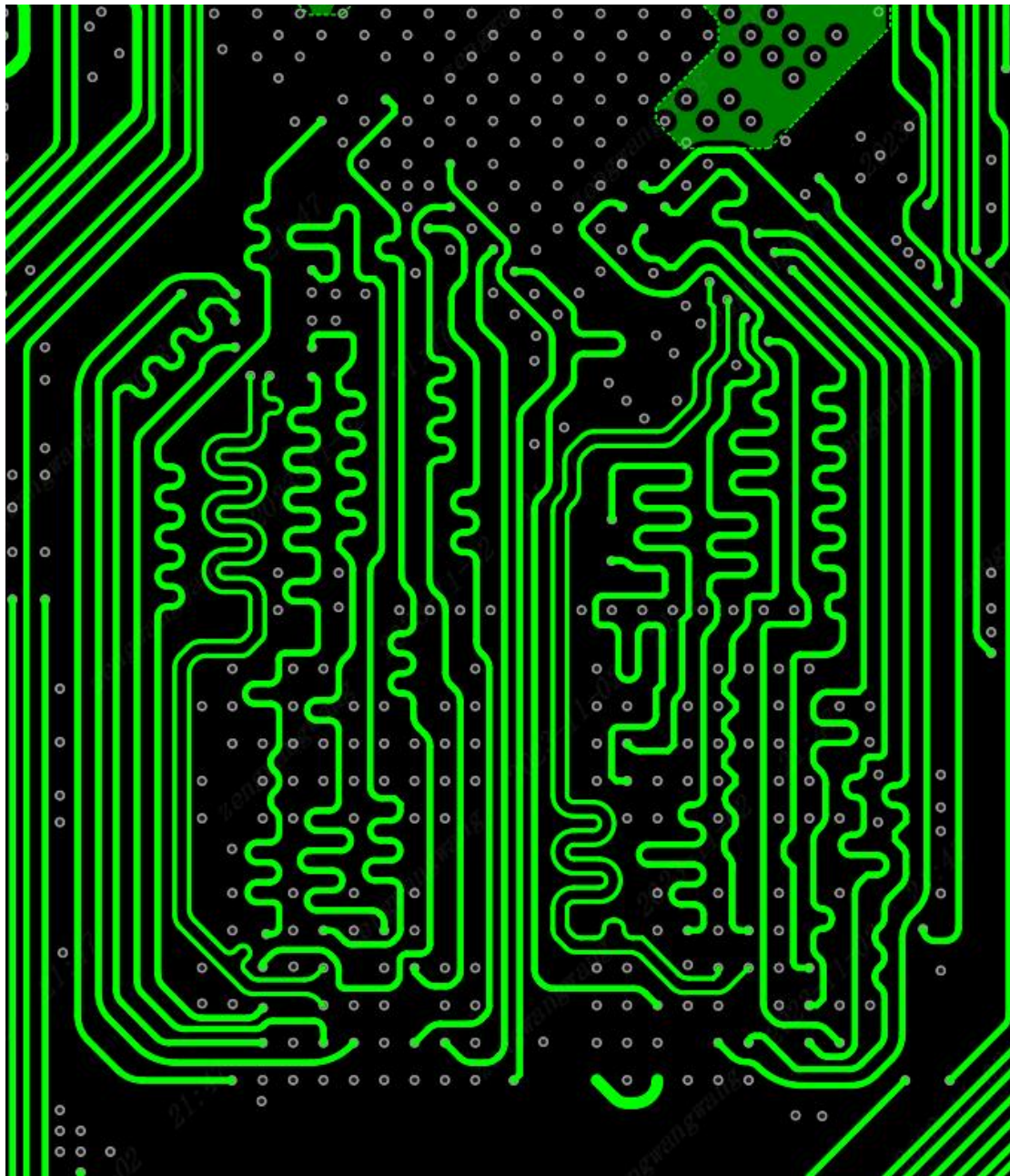
- LPDDR4/4x CLK 有条件的情况下可全程包地处理, 包地的走线间隔 200mil 以内必须有地过孔, LPDDR4/4x CA/CMD 之间的空隙: ≥ 2 倍线宽。
- DDR 信号走线不得走在参考平面边缘或 PCB 板边, 否则会对阻抗产生很大影响, 确保信号走线和参考平面边缘大于 40mil。
- 优化好换层过孔的位置和间距, 不要大面积破坏电源层和地层的铺铜, 如果铺铜有被过孔分割了, 必须手工通用走线再连接上。
- VCC_DDR 电源平面保持完整, 不要在平面内走线。



LPDDR4/4X 电路顶层



LPDDR4/4X 电路内层



LPDDR4/4X 电路内层

6.3 EMMC

- 整体布局时, eMMC/Nand/SPI Flash 尽量靠近 RK3566 放置, 尽量缩短走线。
- 所有 eMMC 信号都要控制 PCB 阻抗, 单端信号阻抗为 $50\Omega \pm 10\%$ 。
- eMMC clkout/Data Strobe 和 data/cmd, 之间的延迟必须控制在 120mil 以内。
- eMMC 所有信号走线长度必须小于 4inch, 换层时, 不得超过 4 个过孔, 并靠近信号过孔放置对称的缝合地孔。
- eMMC clkout 和 Data Strobe 有条件的情况下可全程包地处理, 包地的走线间隔 300mil 以内必须有地过孔。

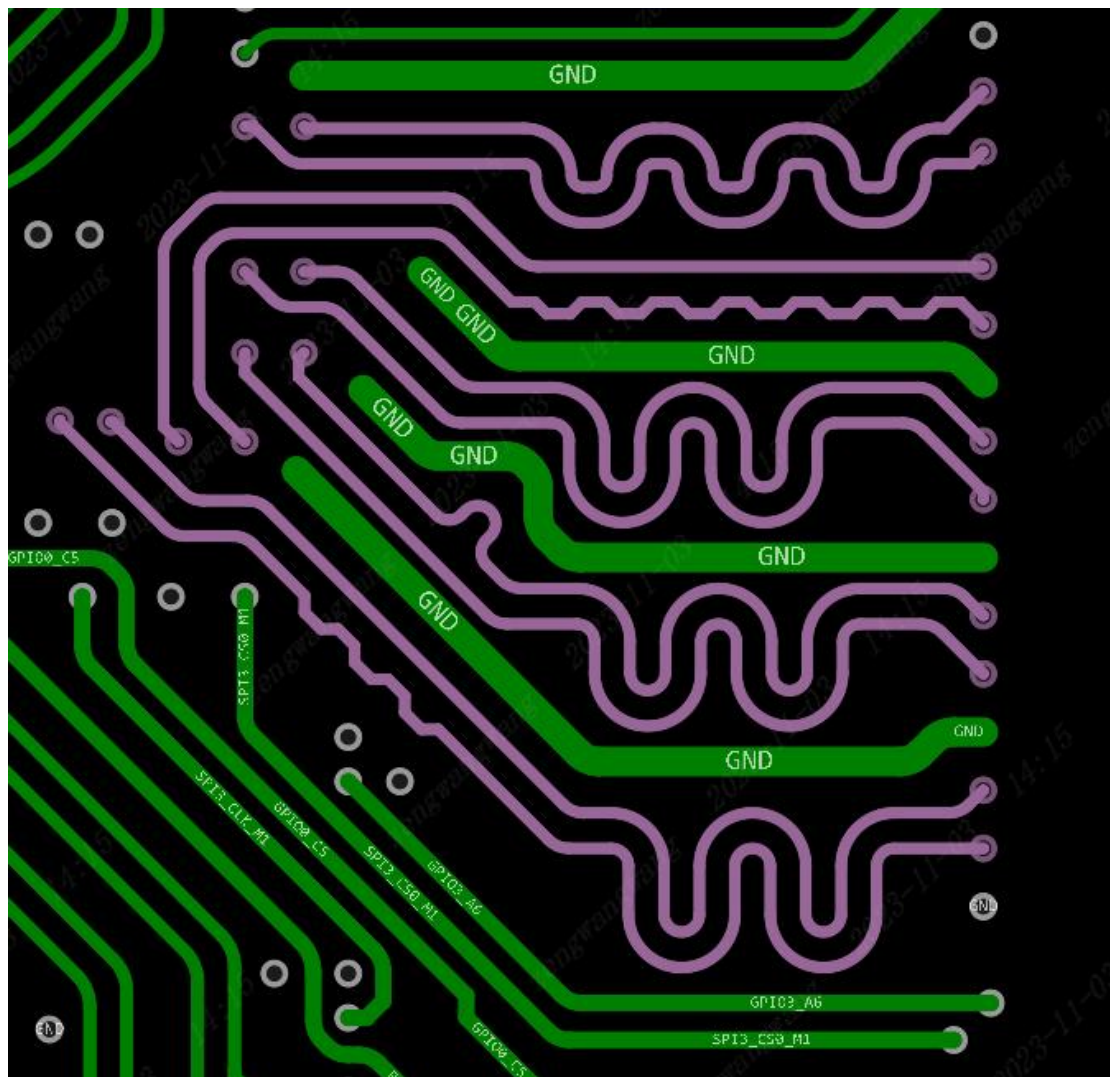
- eMMC 所有信号的参考层需要为完整的地平面，避免出现连续的过孔阻断信号的回流路径的情况。
- eMMC data/cmd 信号间的空隙： ≥ 2 倍线宽和其它信号间的空隙： ≥ 3 倍线宽，建议中间能有地线隔离。
- eMMC_CLKOUT 的 22ohm 串联匹配电阻靠近 CPU 端（源端），CPU 管脚和电阻之间走线必须控制在 300mil 以内。
- eMMC_DATA_STROBE 的 0ohm 串联匹配电阻靠近 eMMC 颗粒端，eMMC 管脚和电阻之间走线必须控制在 300mil 以内。
- eMMC 电源线宽度应满足 VCCIO2 电源域及相应颗粒的电流需求，建议 VCCIO2 电源域走线 12mil 以上，颗粒的电源走线 25mil 以上。
- eMMC 以及 RK3566 VCCIO2 的去耦电容务必放在对应的电源管脚背面。

6.4 DEBUG

- TVS 保护二极管应尽量靠近座子放置，信号拓扑为：接口--->TVS--->CPU；出现 ESD 现象时，ESD 电流必须先经过 TVS 器件衰减；TVS 器件走线上不要有残桩(Stub)。
- TVS 的地管脚建议尽量增加地过孔，至少保证 2 个过孔，加强静电泄放能力。

6.5 MIPI_CSI

- 整体布局时，MIPI CSI 设备尽量靠近 RK3566 放置，尽量缩短走线。
- MIPI_CSI_RX_AVDD_0V9/1V8 电源的去耦电容务必放在对应的电源管脚背面。
- MIPI CSI 差分对需要控制 PCB 阻抗，差分阻抗为 $100\Omega \pm 10\%$ 。
- MIPI CSI 差分对间线长延迟控制在 36mil 以内。
- MIPI CSI 差分对走线长度必须小于 6inch。
- 尽量减少换层过孔，必须要换层时，最多只能打 4 次过孔，并靠近信号过孔放置对称的缝合地孔，缝合地孔和信号过孔中心距不得超过 30mil。
- 差分对之间空隙： ≥ 3 倍线宽，有条件建议中间能有地线隔离，差分对和其它信号之间空隙： ≥ 3 倍线宽，有条件建议中间能有地线隔离。
- MIPI CSI 差分对的参考层需要为完整的地平面，避免出现连续的过孔阻断信号的回流路径的情况。
- 走线拐角尽量用弧线或者钝角，不能为直角或锐角。

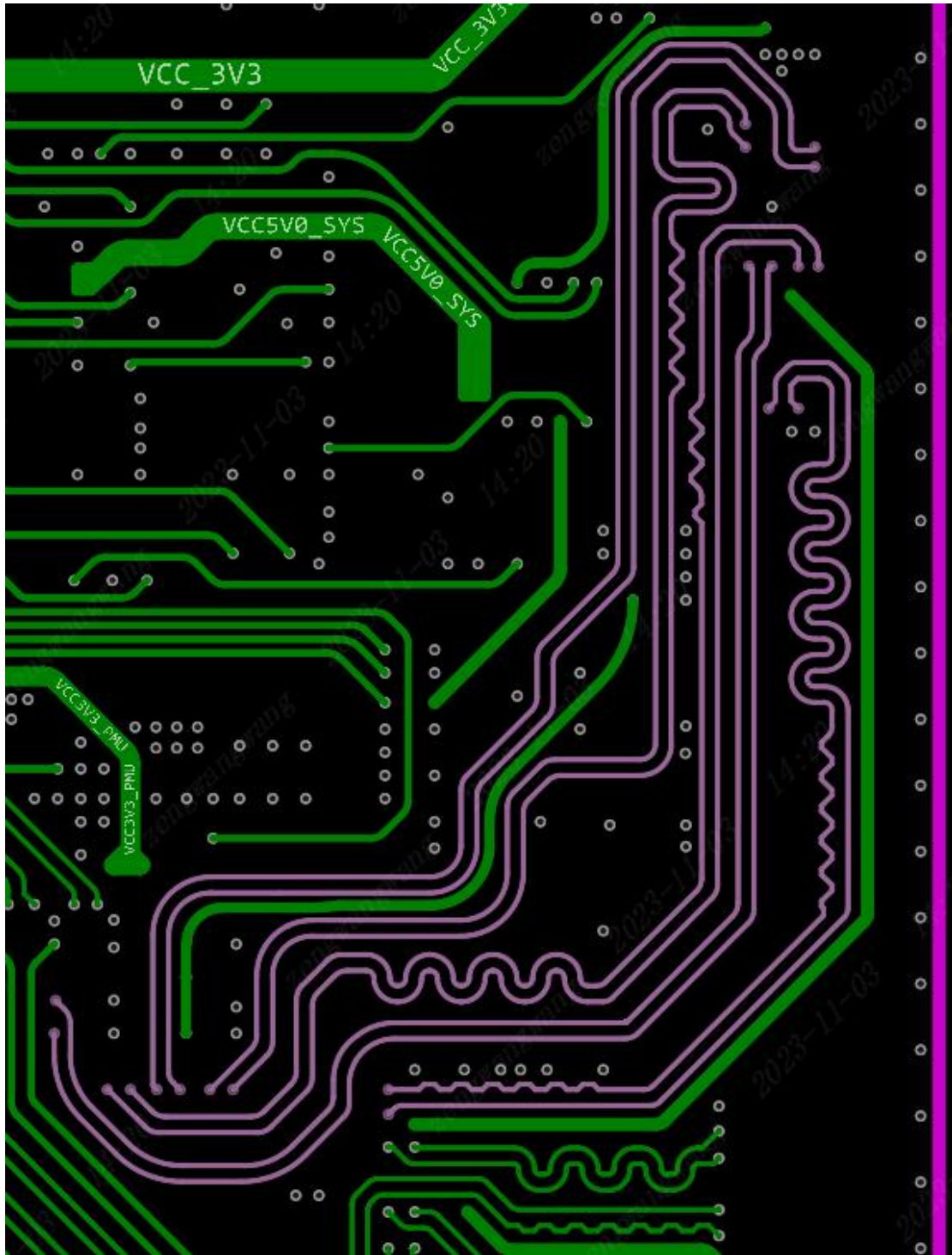


MIPI CSI 电路

6.6 MIPI DSI

- 整体布局时, MIPI DSI/LVDS 设备尽量靠近 RK3566 放置, 尽量缩短走线。
- MIPI_DSI_TX0/LVDS_TX0_AVDD_OV9/1V8 电源的去耦电容务必放在对应的电源管脚背面。
- MIPI_DSI_TX1_AVDD_OV9/1V8 电源的去耦电容务必放在对应的电源管脚背面。
- MIPI 差分对需要控制 PCB 阻抗, 差分阻抗为 $100\Omega \pm 10\%$ 。
- MIPI 差分对应严格遵循差分规则走线。例如, 必须保持相同的长度、相同的宽度、相同的层和固定的线距, 并尽可能保持对称, 差分对内线长延迟控制在 12mil 以内。
- MIPI 差分对间线长延迟控制在 36mil 以内。
- MIPI 差分对走线长度必须小于 6inch。
- MIPI 差分对尽量减少换层过孔, 必须要换层时, 不得超过 4 个过孔, 并靠近信号过孔放置对称的缝合地孔, 缝合地孔和信号过孔中心距不得超过 30mil。
- MIPI 差分对之间空隙: ≥ 3 倍线宽, 有条件建议中间能有地线隔离, MIPI 差分对和其它信号之间空隙: ≥ 3 倍线宽, 有条件建议中间能有地线隔离。
- MIPI 差分对的参考层需要为完整的地平面, 避免出现连续的过孔阻断信号的回流路径的情况。

- 走线拐角尽量用弧线或者钝角，不能为直角或锐角。

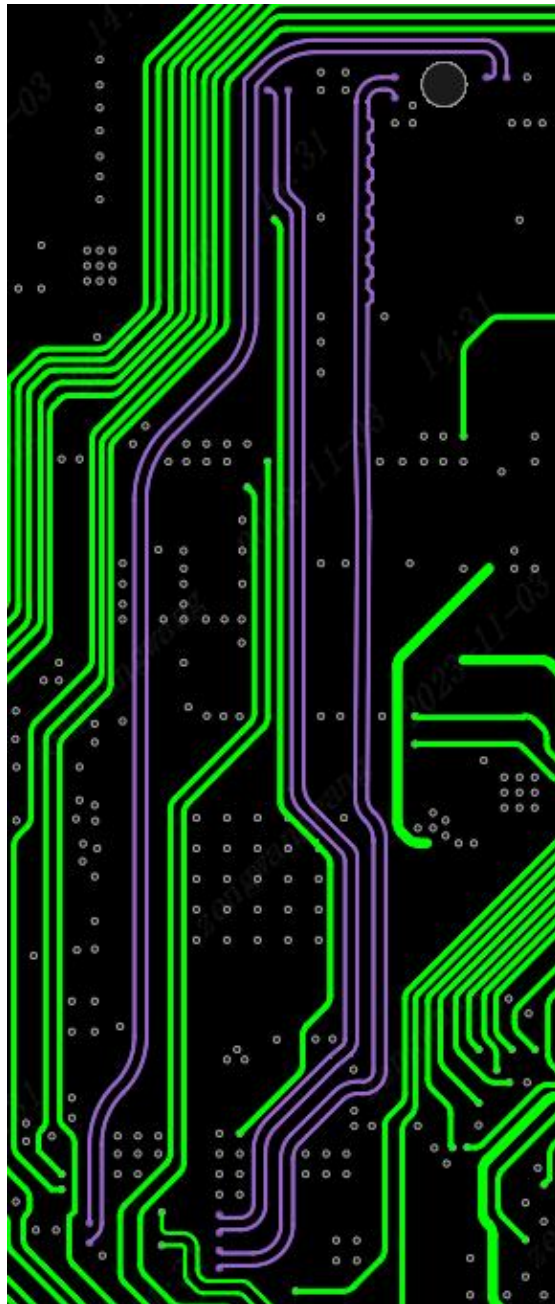


MIPI_DSI 电路

6.7 LCM_EDP

- 整体布局时，eDP 设备尽量靠近 RK3566 放置，尽量缩短走线。
- eDP_TX_AVDD_0V9/1.8V 电源的去耦电容务必放在对应的电源管脚背面。
- eDP_TX 差分对需要控制 PCB 阻抗，差分阻抗为 $100\ \Omega \pm 10\%$ 。

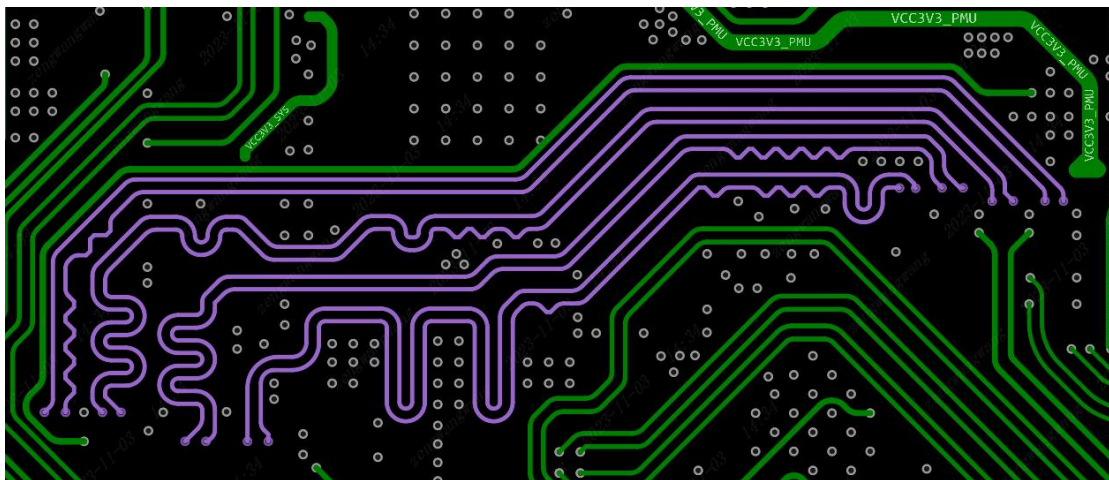
- eDP_TX 差分对应严格遵循差分规则走线。例如, 必须保持相同的长度、相同的宽度、相同的层和固定的线距, 并尽可能保持对称, eDP_TX 差分对内线长延迟控制在 12mil 以内。
- eDP_TX 差分对走线长度必须小于 6inch。
- 差分对之间空隙: ≥ 4 倍线宽, 有条件建议中间能有地线隔离, 差分对和其它信号之间空隙: ≥ 4 倍线宽, 有条件建议中间能有地线隔离。
- 尽量减少换层过孔, 必须要换层时, 最多只能打 4 次过孔, 并靠近信号过孔放置对称的缝合地孔, 缝合地孔和信号过孔中心距不得超过 30mil。
- eDP_TX 差分对的参考层需要为完整的地平面, 避免出现连续的过孔阻断信号的回流路径的情况。
- 走线拐角尽量用弧线或者钝角, 不能为直角或锐角。



EDP 电路

6.8 micro HDMI

- 整体布局时, HDMI 座子尽量靠近 RK3566 放置, 尽量缩短走线。
- HDMI_TX_AVDD_OV9/1V8 电源去耦电容务必放在对应的电源管脚背面。
- 差分对需要控制 PCB 阻抗, 差分阻抗为 $100\Omega \pm 10\%$ 。
- 差分对应严格遵循差分规则走线。例如, 必须保持相同的长度、相同的宽度、相同的层和固定的线距, 并尽可能保持对称, 对内线长延迟控制在 12mi 以内。
- 差分对走线长度必须小于 6inch。
- D0-D2 之间空隙: $>=4$ 倍线宽, 有条件建议中间加地线隔离, CLK 和 D0 之间空隙: $>=5$ 倍线宽, 有条件建议中间加地线隔离。
- 所有信号的参考层需要为完整的地平面, 避免出现连续的过孔阻断信号的回流路径的情况。
- 走线尽量在 top 层, 必须要换层时, 最多只能打 2 次过孔, 并靠近信号过孔放置对称的缝合地孔, 缝合地孔和信号过孔中心距不得超过 30mil, 走线拐角尽量用弧线或者钝角, 不能为直角或锐角。
- HDMI 的 TVS 管应尽量靠近连接座放置, 信号拓扑为: HDMI 座--->TVS--->CPU; 出现 ESD 现象时, ESD 电流必须先经过 TVS 器件衰减; TVS 器件走线上不要有残桩(Stub)。
- TVS 的地管脚建议尽量增加地过孔, 至少保证 2 个过孔, 加强静电泄放能力。



HDMI 电路

6.9 SDIO WIFI/BT

- 整体布局时, WIFI 模组适当放置, 模组远离 DDR、HDMI、USB 等其他高速信号走线及连接座。
- 模组下方 TOP 层不允许走线, 需保证参考面为完整的地平面, SDIO/PCIe/UART/PCM 信号线建议绕过模组投影区域后连接到模组管脚。
- 晶体电路布局需要优先考虑, 布局时应与芯片在同一层并尽量靠近放置以避免打过孔, 晶体走线尽可能的短, 远离干扰源, 尽量天线区域。
- 晶体以及时钟信号需要全程包地处理, 包地线每隔 100mil 至少添加一个 GND 过孔, 并且必须保证邻层的地参考面完整。

- 晶体电路布局时如果与芯片不同层放置,晶体走线及必须全程包地处理,避免被干扰。
- 所有 SDIO 信号都要控制 PCB 阻抗,单端信号阻抗为 $50\Omega \pm 10\%$ 。
- SDIO clk 和 data/cmd,之间的延迟必须控制在 120mil 以内。
- 换层时,不得超过 4 个过孔,并靠近信号过孔放置对称的缝合地孔。
- SDIO clk 必须全程包地处理,包地的走线间隔 300mil 以内必须有地过孔。
- SDIO 所有信号的参考层需要为完整的地平面,避免出现连续的过孔阻断信号的回流路径的情况。
- SDIO clk 的 22ohm 串联匹配电阻靠近 CPU 端(源端),CPU 管脚和电阻之间走线必须控制在 400mil 以内。
- 32.768k 单独走线并做包地处理,并且包地线每隔 400mil 至少添加一个 GND 过孔。
- 模组的电感布局时,请注意走线经电感出来后,先经过电容,再进入模组电源管脚。
- 模组的电源去耦电容必须靠近模组电源管脚。
- 天线匹配电路必须靠近天线座,天线走线 50 欧,保证参考地完整,阻抗不要突变,下方不允许有其他信号线或电源;走线的伴随地需要与主地参考面使用地墙连接。

6.10 Micro SD_Card

- SARADC_VINO/1/2/3/4/5/6/7 的 1nF 电容为消抖电容,布局时尽量靠近芯片管脚放置。
- SARADC_AVDD_1V8 的去耦电容务必放在对应的电源管脚背面。
- SARADC_VINO/1/2/3/4/5/6/7 信号请远离 LCD、DRAM 等数字信号。禁止在高速信号线的相邻层布线;禁止在高速信号附近打孔换层;走线不要穿过电感区域。
- 如有按键,TVS 管必须靠近按键放置,信号拓扑为:按键--->TVS--->CPU;出现 ESD 现象时,ESD 电流必须先经过 TVS 器件衰减;TVS 器件走线上不要有残桩(Stub)。
- TVS 的地管脚建议尽量增加地过孔,至少保证 2 个 0.4*0.2mm 的过孔,加强静电泄放能力。

6.11 Audio

- RK809-5 SPK 的 LC 器件靠近 RK809-5 放置。
- RK809-5/RK817-5 的 VCC_SPK_HP 走线大于 50mil。
- SPKP/SPKN 按照差分走线并整组包地,线宽 20mil,尽量缩短走线。
- HP_L/HP_R 左右声道要分别包地,不是差分线,不能靠在一起,挨在一起会降低左右声道的隔离度,建议走线线宽大于 10mil。
- HP_SNS 网络串接电阻必须在耳机座管脚处短接到地,补偿输入,提高左右声道隔离度。
- HP_SNS 做为 HPL/HPR 的伴随地,整组走线并包地,HPL/HPR 线宽 10mil 以上。
- MIC 单端连接时,MIC1/MIC2 单独走线并分别包地。MIC 差分连接时,MICP/MICN 按照差分走线,并整组包地。
- MIC 走线线宽建议 8mil 以上。

- 所有音频信号都请远离 LCD、DRAM 等高速信号线。禁止在高速信号线相邻层走线，相邻层必须为地平面；禁止在高速信号线附近打孔换层；走线不要穿过电感区域；远离 RF 信号和器件。
- 所有音频信号的相邻层不得为电源平面或走线。
- 耳机座/麦克风的 TVS 保护二极管应尽量靠近连接座放置，信号拓扑为：耳机座/麦克风--->TVS--->CPU；出现 ESD 现象时，ESD 电流必须先经过 TVS 器件衰减；TVS 器件走线上不要有残桩 (Stub) TVS 的地管脚建议尽量增加地过孔，至少保证 2 个 0.4*0.2mm 的过孔，加强静电泄放能力
- S/PDIF 信号建议全程包地处理，包地的走线间隔 300mil 以内必须有地过孔

7、DRC 检查：

DRC 检查的目的是为了在所有的 PCB 画好后总体检查。设计完一个 PCB 后，需要将 PCB 进行规则检查 DRC, DRC 检查是依据自行设置的规则进行的例如自己设置的最小间距是 8mil，那么实际 PCB 中，出现小于 6mil 的间距就会报错。

并不是 DRC 有错误的板子就不能使用，有些规则则是可以忽略的，例如丝印的错误不会影响电气属性。

7.1 立创 EDA 使用步骤：

- 顶部菜单 - 设计 - 检查 DRC



检查的 DRC 结果在底部的 DRC 面板显示，对应的 PCB 也会有一个 X 的符号。鼠标选择单击错误点可在 PCB 高亮定位，双击会放大并定位错误点。



检查 DRC 后, DRC 面板可以展示 DRC 错误类型, 和具体每个错误具体信息。



支持定位对应的对象, 和打开对应设计规则名称, 方便快速修改规则。

连接性错误: 这个是检测相同网络的对象没有完成导线等连接的错误。和画布的飞线检测一样。当铺铜孤岛时, 铺铜填充也会参与显示在连接性错误, 如果不影响使用, 可进行忽略。

7.2 DRC 检查的常见错误;

- 开路错误: 这种错误通常发生在电路板走线中断或连接不良的情况下, 可能是由于设计过程中的疏忽或制造过程中的问题导致的。
- 丝印层到阻焊层的间距不满足规则错误: 丝印层和阻焊层在电路板中都扮演着重要的角色。如果这两层之间的间距不符合设计规范, 可能会引发电路板的功能性问题。
- 元器件间的安全距离错误: 在电路板设计中, 不同元器件之间需要保持一定的安全距离, 以防止在电路板工作时出现相互干扰或短路的情况。如果设计中元器件间的距离过小, 就会引发这种错误。
- 短路错误: 这种错误通常发生在电路板走线交叉或接触不良的情况下。短路可能会导致电路板无法正常工作, 甚至引发安全问题。

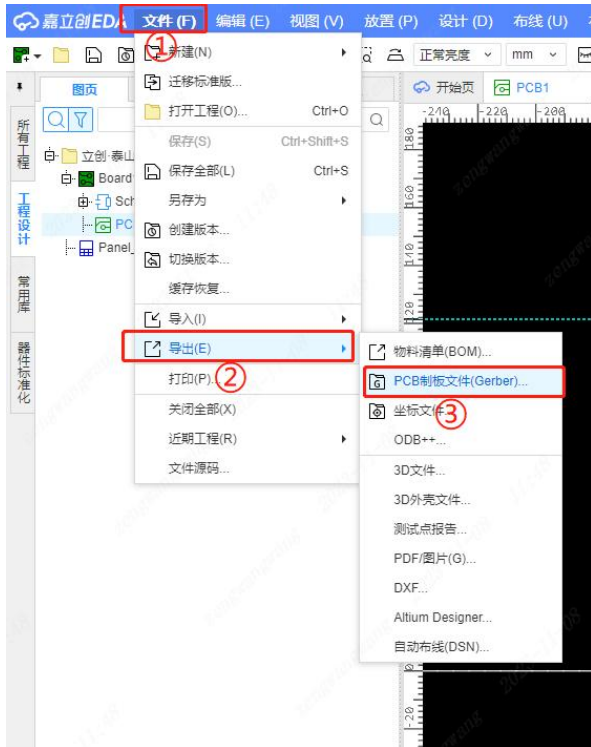
- 铺铜不规范造成的错误：在电路板设计中，铺铜的规范与否直接影响到电路板的性能和稳定性。如果铺铜不规范，可能会导致电路板出现发热、信号干扰等问题。
- 线宽错误：线宽是电路板设计中的一个重要参数。如果线宽设计不合理，可能会导致电流过大、电压降低等问题，进而影响到电路板的正常工作。
- 过孔错误：过孔的直径、孔壁与焊盘的距离等参数不符合要求，可能导致焊接不良或机械强度不足。
- 焊盘与走线连接错误：焊盘与走线之间的连接不完整或存在断线，可能导致元件无法正常焊接。
- 元件放置重叠错误：两个或多个元件的放置位置重叠，使得它们无法正确安装或工作。
- 电源和地线处理不当：电源和地线的宽度、走线路径等处理不当，可能导致电源供应不稳定或信号受到干扰。
- 未遵循布线规则：布线过程中未遵循规定的布线规则，如直角走线、45度走线等，可能导致信号传输的质量下降。
- 使用错误的元件封装：使用了错误的元件封装，与实际元件的尺寸和引脚配置不匹配，导致装配问题。

8、输出文件；

8.1 Gerber 文件的输出

8.1.1 操作入口：

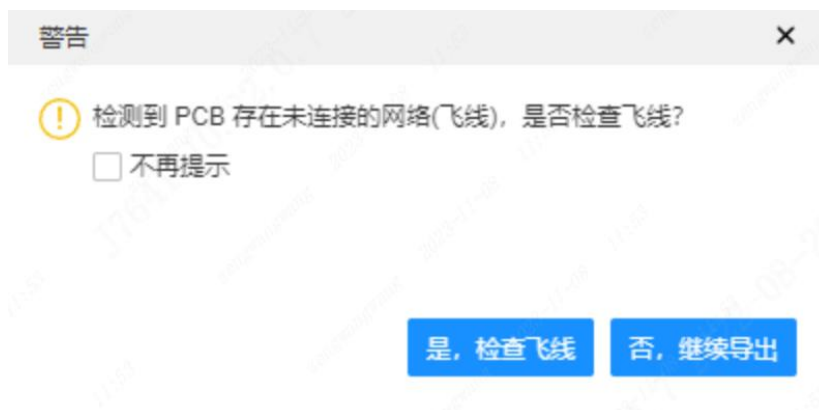
- 顶部菜单 - 文件 - 导出 - PCB 制板文件（Gerber）



- 顶部菜单 - 导出 - PCB 制板文件（Gerber）



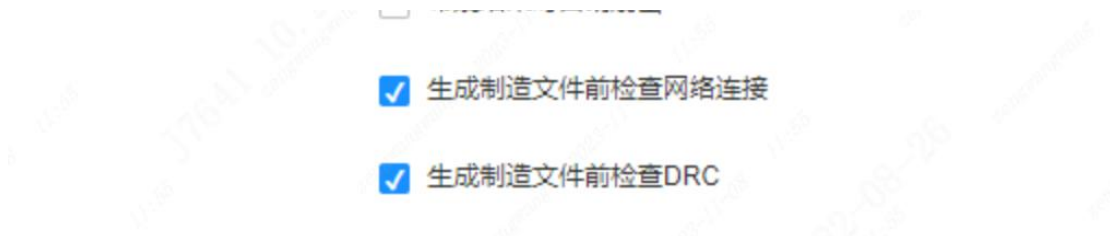
8.1.2 点击后系统会检测 PCB 中是否还存在飞线, 如果存在, 会弹出如下提示弹窗



8.1.3 点击“是”，检查飞线。会自动定位到第一个飞线，左侧面板切换到飞线树帮助你核对。如果点击“否”，下一步后，会提示是否检查 DRC，建议先检查 DRC 后再导出 Gerber。



8.1.4 如果你不希望每次导出 gerber 时提示检测飞线或 DRC, 可以在系统设置 - PCB - 常用中关闭此配置。



8.1.5 导出 Gerber 弹窗:

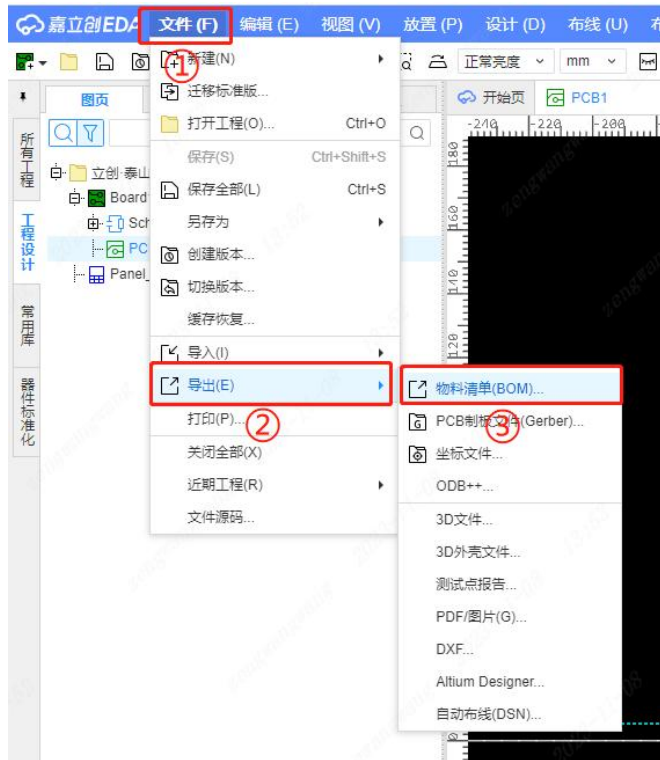


8.2 BOM 表文件的输出

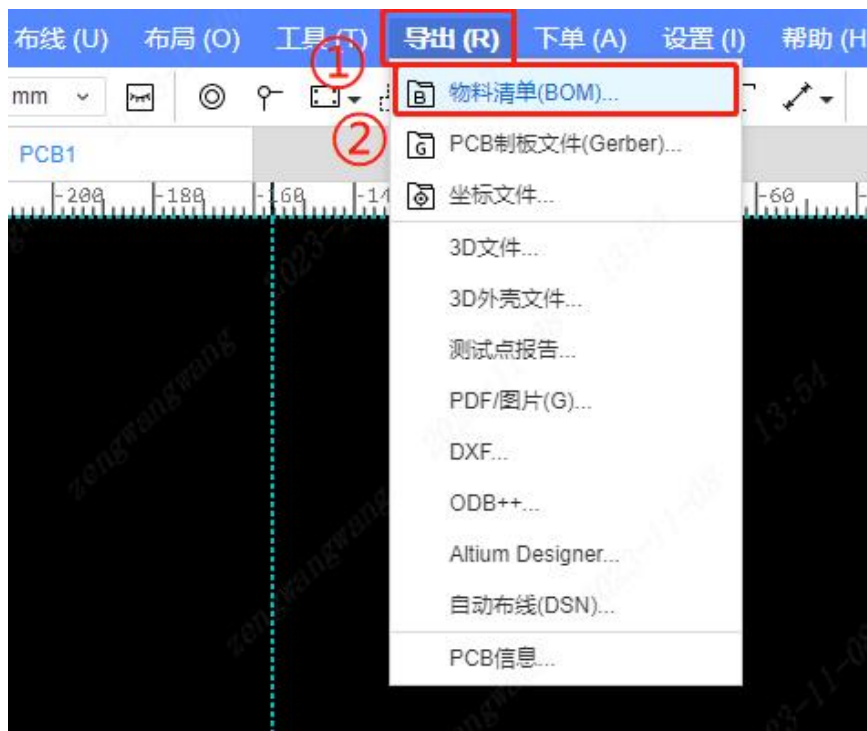
立创 EDA 支持单独 PCB 导出 BOM 表(物料清单), 以便于你购买所需的零件。

8.2.1 使用入口

- 顶部菜单 - 文件 - 导出 - 物料清单 BOM



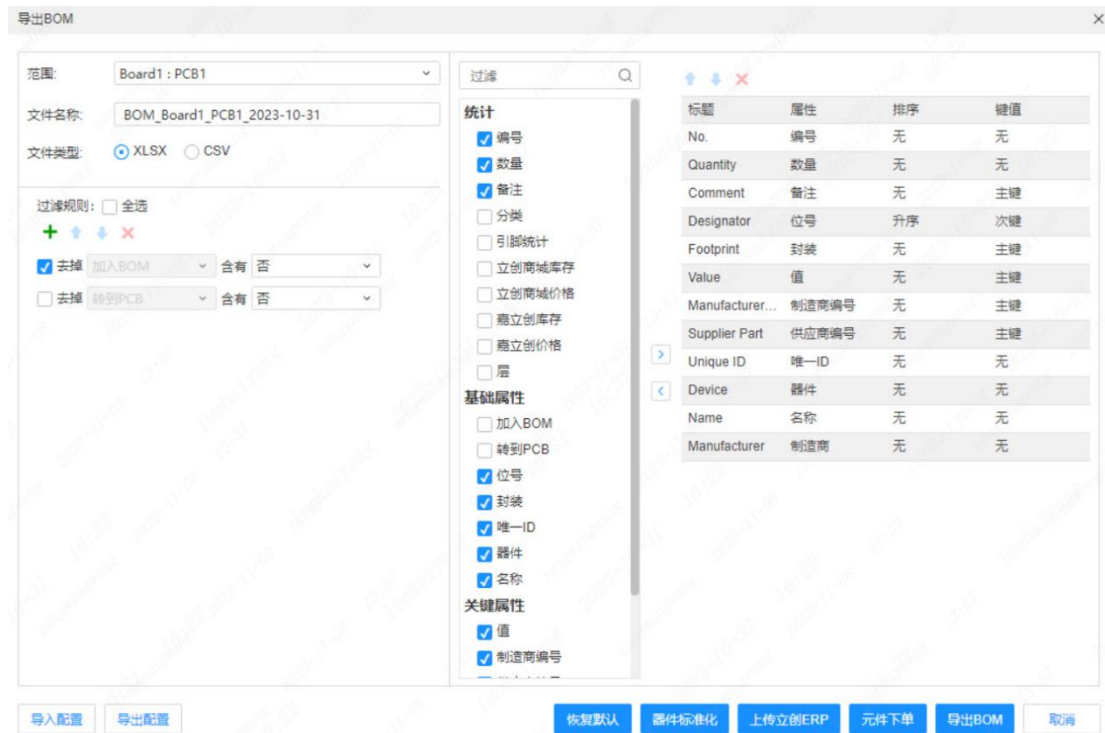
● 顶部菜单 - 导出 - 物料清单 BOM



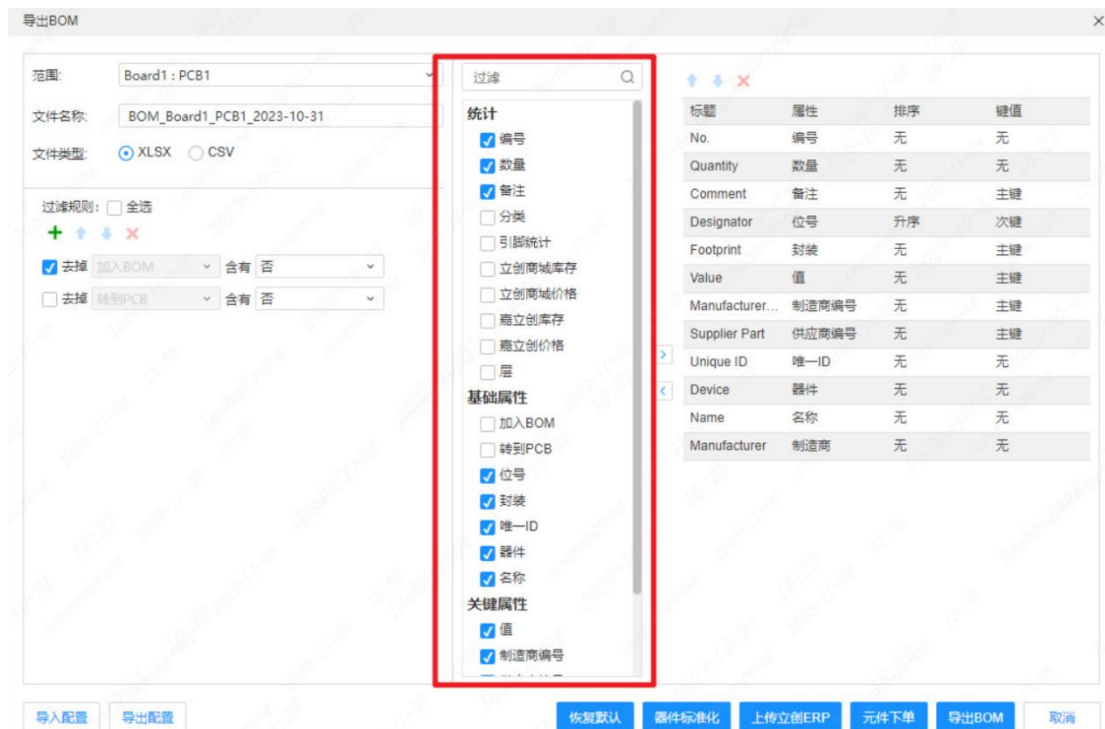
范围: 可选择导出工程的 PCB 还是原理图的 BOM 表;

文件名: 导出 BOM 的文件名;

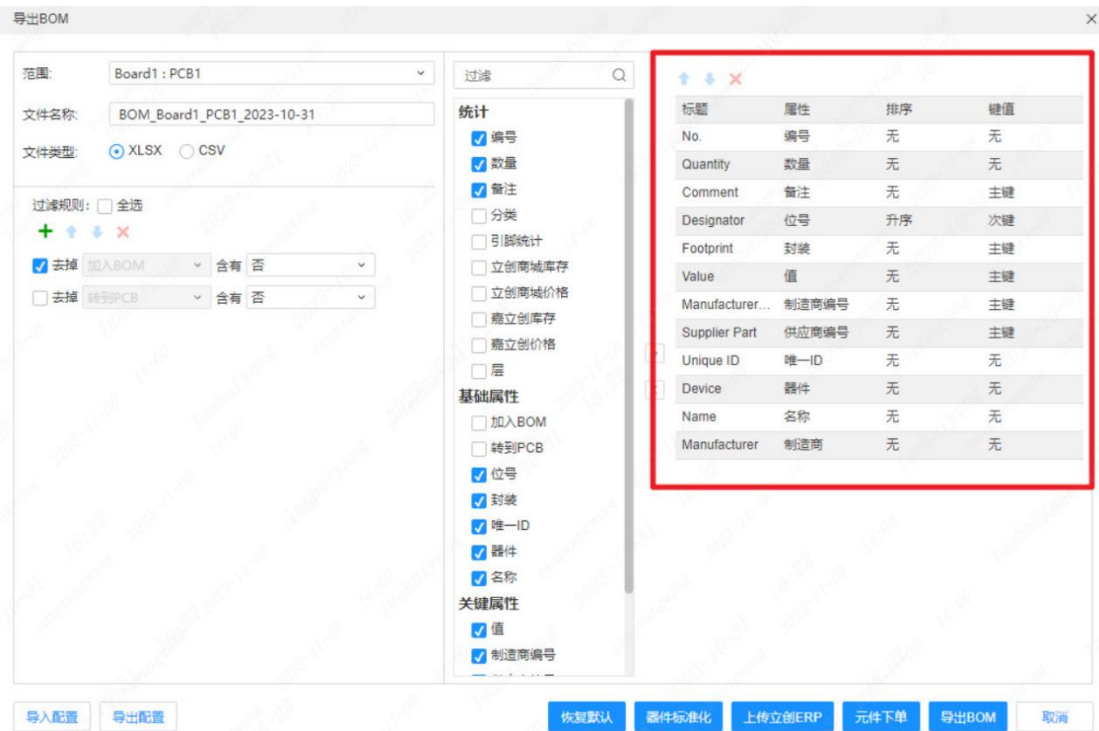
文件类型: 只支持 XLSX 和 CSV 格式;



在中间你可以勾选需要导出的内容



右侧可以预览已经选择的导出项，还可以在这里对其进行排序以及删除



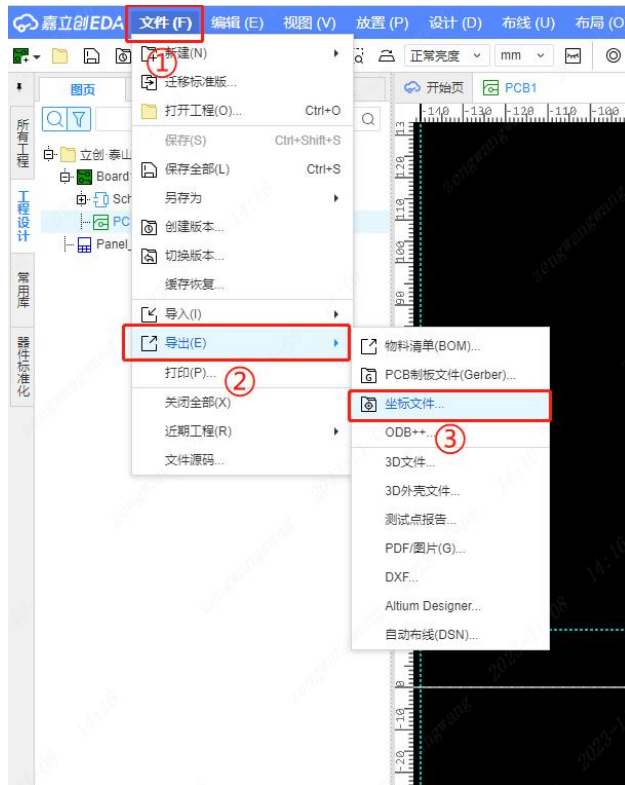
添加类型的排序则需要双击右侧需要改的内容，或者选择类型点击顶部的上下箭头拉丝改变顺序。

8.3 坐标文件的输出

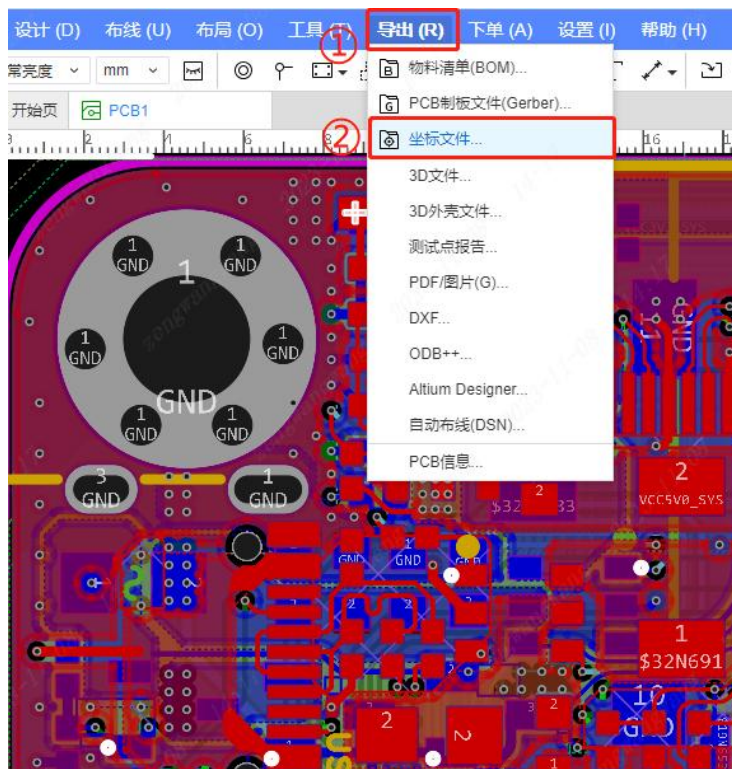
立创 EDA 支持导出 SMT 坐标信息，以便于工厂进行 SMT 贴片。坐标文件只能在 PCB 中导出。

8.3.1 操作步骤

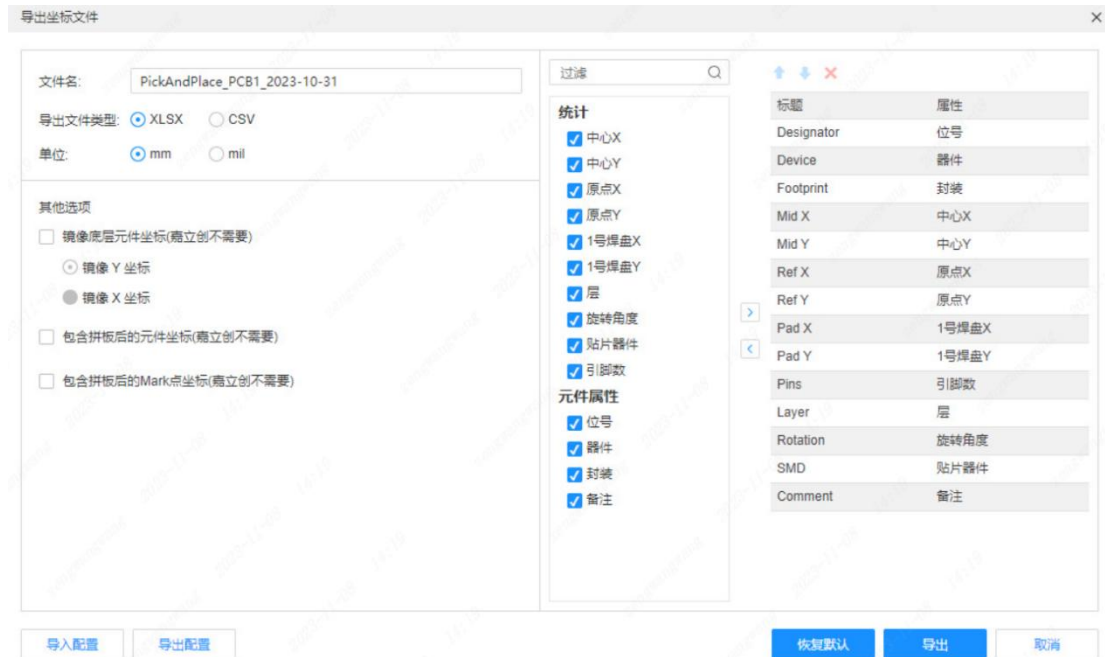
- 顶部菜单 - 文件 - 导出 - 坐标文件



- 顶部菜单-导出-坐标文件点击后，弹出导出坐标文件对话框。



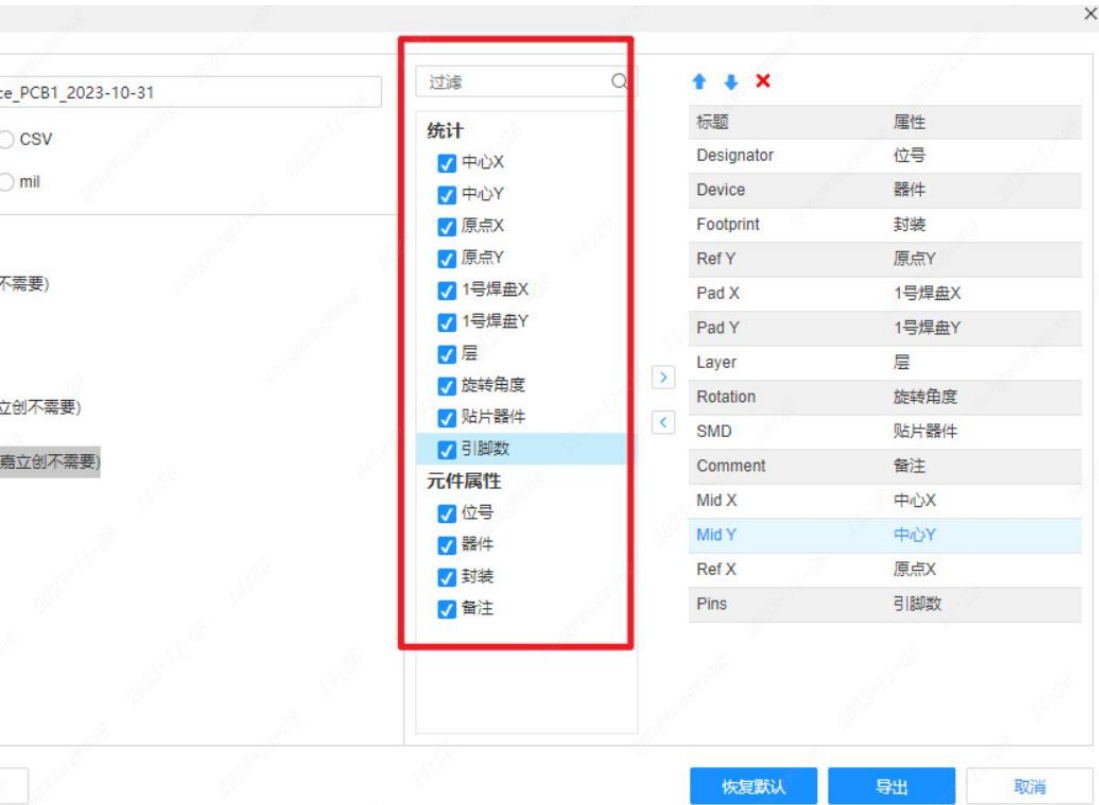
点击后打开导出坐标文件窗口



- 文件名：支持自定义导出的文件名
- 导出文件类型：支持 XLSX 和 CSV 两种类型的文件
- 单位：支持设置为 mm 或者 mil
- 镜像底层元件坐标：有部分贴片厂商需要底层元件镜像后的坐标，可以勾选该选项，一般不需要勾选。在嘉立创打样不需要勾选
- 包含拼板后的元件坐标(嘉立创不需要)：输出所有拼版的坐标
- 包含拼板后的 Mark 点坐标(嘉立创不需要)：勾选后输出拼板后的 Mark 点坐标

统计

统计处可以勾选需要导出的内容, 在右侧表格内可以调整输出内容在表格中的顺序



导出的坐标文件如下如所示:

	A	B	C	D	E	F	G	H	I	J	K	L	M
	Designator	Comment	Footprint	Mid X	Mid Y	Ref X	Ref Y	Pad X	Pad Y	Layer	Rotation	SMD	
1	R1	1k	R0805	43.992mm	42.672mm	43.992mm	42.672mm	43.026mm	42.672mm	T	0	Yes	
2	R2	1k_R0805	R0805	31.8mm	45.466mm	31.8mm	45.466mm	30.834mm	45.466mm	T	0	Yes	
3	R5	1k_R0805	R0805	42.672mm	34.798mm	42.672mm	34.798mm	43.638mm	34.798mm	B	180	Yes	
4	R6	1k_R0805	R0805	25.096mm	36.322mm	25.096mm	36.322mm	24.13mm	36.322mm	T	0	Yes	
5	C1	C_Ele_SMD_3x5.4mm	CAP-SMD_BD3.0-L3.3-W3.3-RD	38.1mm	21.844mm	38.1mm	21.844mm	39.469mm	21.844mm	T	0	Yes	
6	J2	C_Ele_SMD_3x5.4mm	CAP-SMD_BD3.0-L3.3-W3.3-RD	47.752mm	18.288mm	47.752mm	18.288mm	49.121mm	18.288mm	T	0	Yes	
7	C3	C_Ele_SMD_3x5.4mm	CAP-SMD_BD3.0-L3.3-W3.3-RD	55.803mm	16.48mm	55.803mm	16.48mm	57.172mm	16.48mm	T	0	Yes	
8	Q1	S8050_NPN	SOT-23_L2.9-W1.3-P1.90-LS2.4-BR	32.766mm	7.366mm	32.766mm	7.366mm	33.916mm	6.416mm	T	0	Yes	
9	USB1	USB_Type-C-6P	USB-SMD_U262-061N-4BVC11	12.446mm	22.352mm	12.446mm	22.352mm	10.307mm	18.032mm	T	270	No	
10	U2	CJA1117B-5.0	SOT-89-3_L4.5-W2.5-P1.50-LS4.2-BR	27.01mm	27.94mm	27.01mm	27.94mm	28.366mm	26.44mm	T	0	Yes	

表头说明:

- Designator: 位号
- Comment: 器件。器件的名称，一般是元件的制造商编号。
- Footprint: 封装，器件绑定的封装名。
- Mid X, Mid Y: 封装的中心坐标。
- Ref X, Ref Y: 封装的原点坐标。
- Pad X, Pad Y: 封装第一个焊盘的坐标。
- Layer: 封装所在的层。
- Rotation: 封装的旋转角度。
- SMD: 封装是否属于全贴片。

三、工艺:

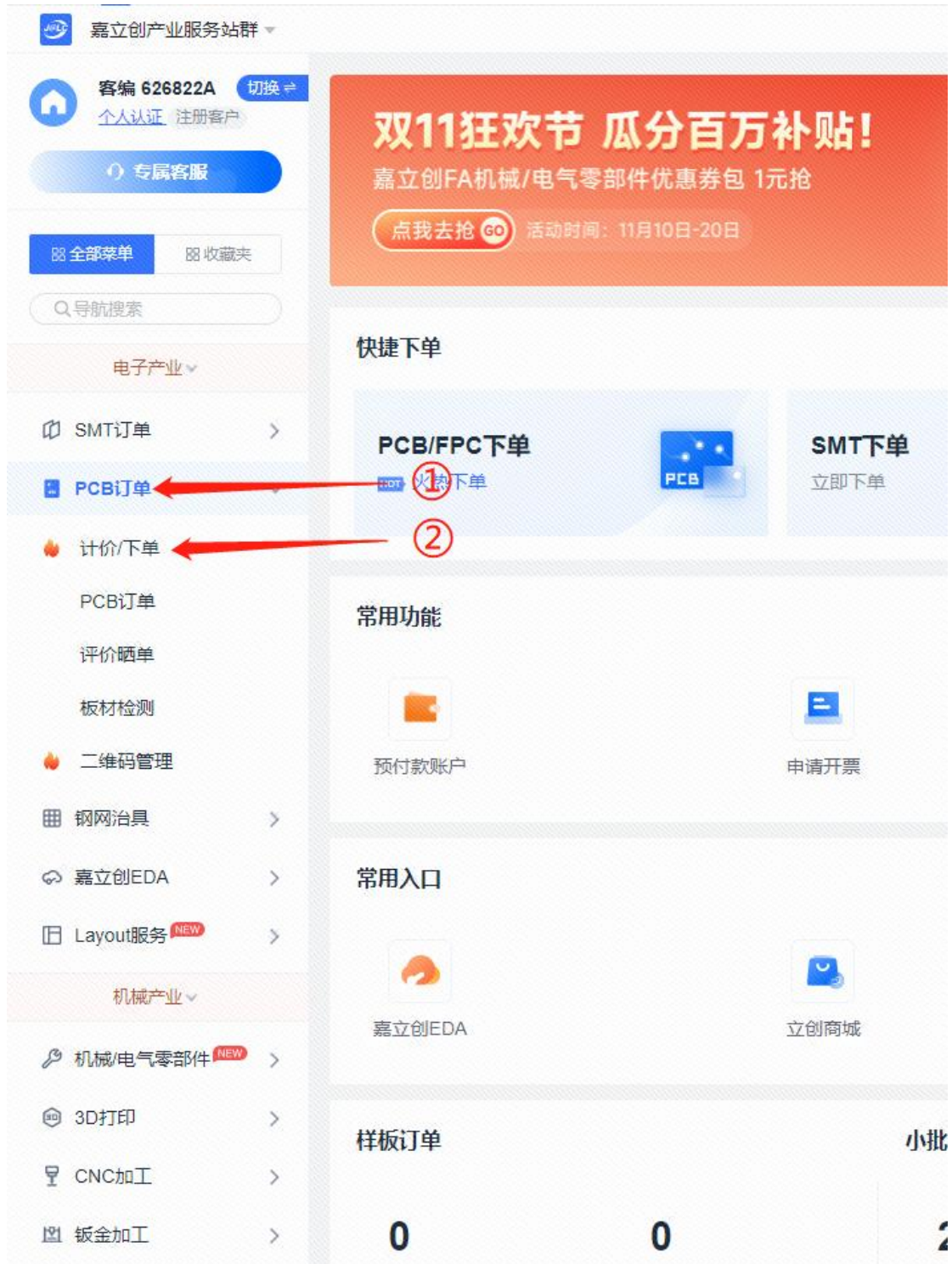
详情请查看: <https://www.jlc.com/portal/vtechnology.html>

四、PCB+SMT 下单详情

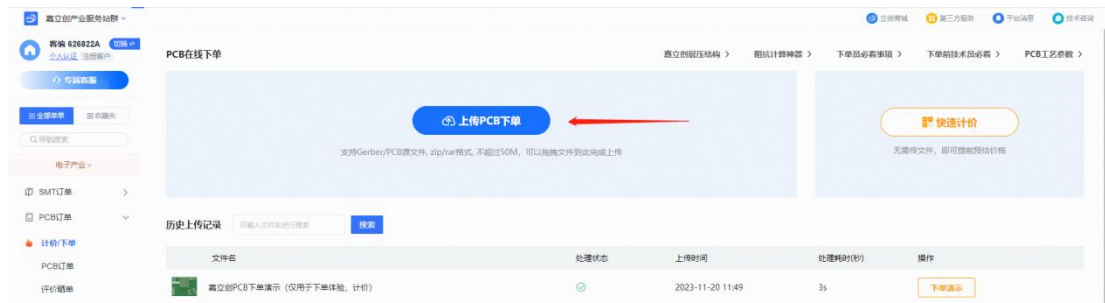
4.1 PCB 下单详情:

4.1.1 打开下单平台 (链接: <https://member.jlc.com/>);

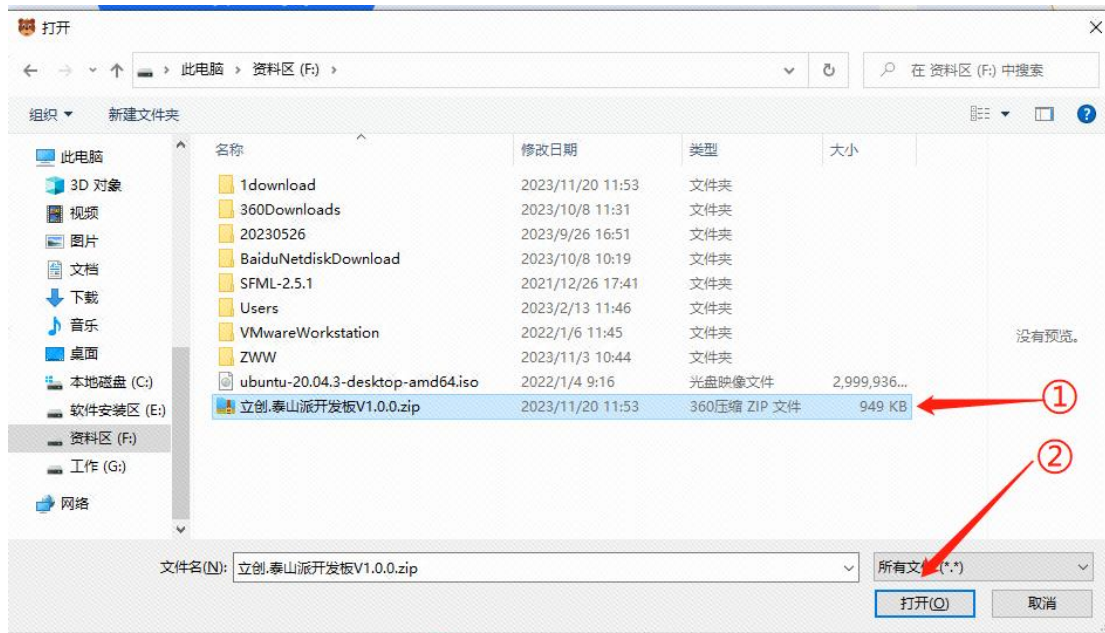
4.1.2 选择 PCB 订单->计价/下单;



4.1.3 点击上传 PCB 下单



4.1.4 找到下单文件并打开（支持上传 PCB 文件和 Gerber 文件）；



4.1.5 解析成功后点击立即下单（注：高速板解析较慢，出现层数，尺寸和板数框可以自行输入信息，不用等全部解析完即可点击立即下单选项进入工艺参数选项界面）



4.1.6 选择合适的板材，默认选择 FR-4；

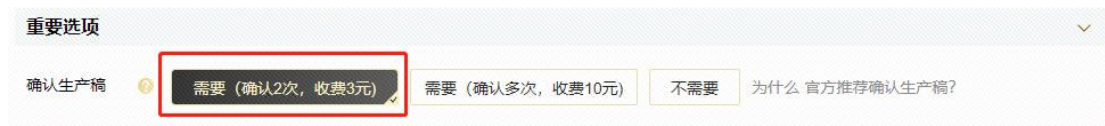


4.1.7 PCB 制造参数选择

4.1.7.1 基本信息



4.1.7.2 重要选项(注: 极力推荐选择确认生产稿, 仔仔细细的检查一下生产稿, 能最大程度上减少问题的发生)



4.1.7.3 PCB 工艺信息

拼板款数: 拼板款数指在同一个文件中有不同的板。立创. 泰山派开发板为单板因此默选择 1。

出货方式: 打样推荐选择单片资料单片出货, 批量生产时可以自己拼好板子并选择按客户拼版资料出货, 图方便可以直接选择嘉立创拼版出货, 异形板子不会拼板可以选择不规则拼版(第三方)。

板子厚度: 请根据堆叠情况确认板子厚度。常见板子厚度为 1.6MM

板材选项: 请根据项目需要选择板材, 默认板材为(A1 级)建滔 KB6164 和(A1 级)台湾南亚 NP155F;

外层铜厚: 外层铜厚默认为 1 盎司

内层铜厚: 嘉立创支持 0.5 盎司, 1 盎司和 2 盎司; 泰山派采用的是 JLC081611-1080A 的层压, 此层压内层铜厚为 1 盎司, 因此现在 1 盎司。

层压顺序: 指的是针对多层板各线路层的压合顺序; 已泰山派为例, 其层压顺序为: TOP1->GND2->SIG3->VCC4->GND5->SIG6->VCC7->B00T8。

需要阻抗: 需要选择项目对应的层压结构。

阻抗管控: 高速板建议选择需要控阻抗。

阻焊颜色: 根据项目需要选择合适的颜色。

字符颜色: 除白色阻焊 PCB 用黑色字符外, 默认为白色字符。

嘉立创盘中孔: 打在焊盘上的过孔称为盘中孔, 嘉立创为 BGA 免费提供盘中孔工艺。

阻焊覆盖: 6 层及以上过孔嘉立创免费提供树脂塞孔服务。

焊盘喷镀: 焊盘喷镀指电路板表面处理, 嘉立创提供有铅喷锡、无铅喷锡、沉金三种工艺。高速板推荐使用沉金工艺。

沉金厚度: 厚度跟层叠结构有关。

最小孔径/外径: 根据项目实际情况选择即可。

金(锡)手指斜边: 根据项目实际情况选择即可。

线路测试: AOI 全测指用光学扫描技术将生产的实际线路与文件进行对比, 能够精准检测出线路的通断与残缺。

选择交期: 详情链接: https://www.jlc.com/portal/server_guide_106.html

PCB工艺信息

拼板款数

1

请填写文件内有多少款不同的板子

出货方式

单片资料单片出货

按客户拼板资料出货

嘉立创帮拼板出货

不规则拼板(第三方)

板子厚度

0.4

0.6

0.8

1.0

1.2

1.6

2.0

板材选项

指定品牌	型号	TG值	阻燃性	加收价格
☒ 不指定 (真A级)因	/	TG155	94V0	不加价
☐ 不指定 (真A级)	/	TG170	94V0	起步价20+50元/m²
☐ 台湾南亚 (真A级)因	NP-155F	TG155	94V0	起步价20+50元/m²
☐ 生益 (真A级)因	S1000-2M	TG170	94V0	起步价40+120元/m²

外层铜厚

1盎司

内层铜厚

0.5盎司

1盎司

层压顺序

指定层压顺序

我的文件中已有层压顺序

我是采购我不清楚这个选项

需要阻抗

无要求 (免费)

JLC081611-2116 (免费)

JLC081611-1080A (300元起)

查看层压结构

阻抗管控

无要求

+/-20% (免费)

+/-10% (小于50Ω±5Ω)

阻抗计算神器

阻焊颜色

绿色

红色

黄色

蓝色

白色

哑黑色

嘉立创紫

字符颜色

白色

嘉立创盘中孔

需要

阻焊覆盖

过孔塞树脂+过孔电镀盖帽

过孔塞铜浆+过孔电镀盖帽

过孔塞树脂+过孔开窗

过孔盖油

过孔塞孔 (塞油墨)

过孔处理图示

* 如是Gerber文件，一律按文件加工，此选项无效！ (原稿过孔开窗的，树脂/铜浆塞孔只塞小于等于0.3mm的孔且焊盘开窗，特殊要求需在下单时说明)

焊盘喷镀

沉金

无铅喷锡

有铅喷锡

沉金厚度

2u"

1u"

最小孔径/外径

0.3mm(免费)(外径0.4/0.45)

0.25mm(外径0.35/0.4)

0.2mm(外径0.3/0.35)

0.15mm(外径0.25/0.3)

金(锡)手指斜边

不需要

需要

线路测试

AOI全测+飞针全测

选择交期

查看交期规则

交期	板厚	油墨	数量
☒ 正常6-7天	1.6	☒ 哑黑色	5

4.1.7.4 个性化服务

根据项目的需求自行选择个性化服务中的各选项。
泰山派订单详情如下图：

个性化服务

品质赔付服务

按标准合同常规处理

元器件全额赔付(特定品质,收费)

四线低阻过孔

无要求

全部测试

阻抗测试报告

不需要

需要

不接受打叉板

接受打叉板

不接受打叉板

半孔

不需要

1边半孔

2边半孔

3边半孔

4边半孔

金属包边

不需要

需要

装配公差

锣边外形公差

普锣±0.2mm

精锣±0.1mm

压接孔

没有

有(孔径公差+/-0.05mm)

外观包装要求

字符工艺

字符打印或网版印刷(免费)

高精字符

高清字符

隔白纸服务

不隔纸

隔纸

板面外观要求

按IPC二级标准

极致外观要求

包装要求

嘉立创标识盒子

空白盒子

其他要求

板上不加客编

无要求

指定位置加客编

不加客编

二维码需求

不增加

指定位置添加

板内空位添加

生产条码外放

需要标签

不需要标签

自定义标签(黑白,免费)

自定义标签(彩色,收费)

增加生产日期

不增加

每个单片内增加

PCB订单备注

【内层铜厚1盎司】【我的文件中已有层压顺序】

4. 1. 7. 5 SMT 贴片选项和激光钢网选项

根据项目的需求自行选择是否需要 SMT 贴片和激光钢网,如果您选择了需要 SMT, SMT 订单中会提供钢网,不需要再单独下钢网

SMT贴片选项

是否SMT贴片

不需要

需要

* 1.因SMT生产工艺需要,我们会帮您添加或修改工艺边或MARK点,且不另行通知

* 2.PCB订单审核通过后,可在SMT在线下单/计价菜单中下SMT

激光钢网选项

是否开钢网

不需要

需要

* 1.因生产地点不同,钢网和PCB需分开发货,运费另算。

* 2.激光钢网订单统一按《嘉立创钢网制作规范及协议》制作

4.1.7.6 完善开票信息和支付方式/发货信息

请根据实际需要情况选择。

完善开票信息

需要发票

个人/增值税电子普通发票

开票资料完善

个人 立创EDA

修改

支付方式/发货信息

确认订单方式

系统自动扣款并确认

手动确认订单

* 订单最终审核价格,与试算价格相差100元以内,将自动扣款确认。调整金额一

收据/送货单

电子收据/送货单

纸质收据/送货单(样板订单收费0.5元)

发货方式

不同交期订单一起发货(省运费)

不同交期订单不一起发货

收货地址

广东省 深圳市 福田区 商报路2号奥林匹克大厦14层(嘉立创) 曾旺旺 198****3587

编辑

联系方式

下单联系人: 曾旺旺 183****6486 | 技术联系人: 曾旺旺 19878893587

编辑

选择快递

运费预收规则

包邮细则

板子估重: 0.06KG

注: SMT下完后,板子估重会累加元器件重量

运费预付	快递选择	运费(估)	时效
☐	顺丰电商标快(陆运预付) 限3KG内	¥0 包邮	1-2天左右
☐	京东特惠快递	¥0 包邮	1-2天左右
☐	优速快递 (运费预付)	¥0 包邮	1-2天左右
☒	联昊通速递 (运费预付)	¥0 包邮	1-2天左右
☐	加运美 (运费预付)	¥0 包邮	1-2天左右

4.2 SMT 下单介绍

4.2.1 选择 SMT 订单->SMT 下单进入 SMT 下单界面。



4.2.2 选择需要下 SMT 订单的 PCB

SMT在线下单

下单教程 > BOM和坐标规范解读 > 常见问题 > BOM与坐标模板下载 >

1 选择未发货PCB 选择已发货PCB 没有PCB? [立即前往PCB下单>>](#)

可输入PCB文件名或PCB编号查询 [查询](#)

文件名	PCB订单号	订单日期	PCB订单状态	订单数量	PCB尺寸	操作
1. 嘉立创SMT流程演示订单	Y1	2023-11-21...	我方已确认	5片	10CM*10CM	选择此单
2. 立创.泰山派开发板V1.0.0	Y41	2023-11-21...	等待嘉立创审核	5片	4.5CM*7CM	已选择此单
3. PCB1_20231102142426	P4	2023-11-02...	我方已确认	100片	9.54CM*10....	选择此单
4. PCB2_20231102104426	P1	2023-11-02...	我方已确认	50片	8.76CM*10....	选择此单

已选择PCB: 立创.泰山派开发板V1.0.0

4.2.3 上传项目的 BOM 表和坐标文件

2 BOM与坐标清单

使用PCB源文件中的BOM和坐标 [上传BOM和坐标](#) 选择BOM备料/SMT订单记录

导出文件 ☒ 立创EDA ☐ AD,99SE,Allegro,PADS(宏)等其他
☐ PADS(CAM;注:此方式无法导出倾斜角度元件)

BOM文件 [上传文件](#)
仅支持XLS、XLSX、CSV格式 文件样式标准

坐标文件 [上传文件](#)
仅支持XLS、XLSX、CSV、TXT格式 文件样式标准

4.2.4 基本信息

选择你要贴片的数量, 要贴片的层, 产品类型和是否需要确认 DFM 生产搞

4 基本信息 下一步BOM匹配选型, 可以再修改

贴片数量 [5片全贴](#) [其他数量](#)

焊接层 [顶层、底层全贴](#) [只贴顶层](#) [只贴底层](#)

产品类型 [经济型 \(更便宜\)](#) [标准型](#)

确认DFM [需要 \(收费3元\)](#) [不需要](#)

4.2.5 个性化服务

4.2.5.1 特殊工艺

钢网特殊开口: 针对钢网有特殊要求, 如走线加锡、不贴的焊盘加锡;

器件烘烤: 一些器件防潮等级低, 在拆包后 7-24 小时需要使用完,

如整盘器件在 7-24 小时内没有使用完, 第二次下单使用的时候, 建议勾选上器件烘烤这项服务。受潮的器件在回流焊时产生的水蒸汽可能导致器件损坏, 功能异常, 建议烘烤。

器件焊料: 根据项目的需求选择低温, 中温和高温的锡膏。

三防喷涂: 一种用于保护电路板表面不受外界环境影响的涂层材料。

三防漆通常包括防尘、防潮和防腐三个功能。(详情链接:

https://www.jlc.com/portal/server_guide_40512.html)

包装服务: 嘉立创目前对 PCBA 的常规包装是用红色防静电的气泡膜包装。现可提供吸塑盒包装服务吸塑盒: 每片 PCBA 单独放在小格内。尤其针对较高或易损元器件在快递运输中更有保障。

板面清洁: 嘉立创为免洗工艺, 非必要不建议选择! 板子没有接插件焊接可以不洗! 清洗板面助焊剂残留: PCB 在波峰焊后会有助焊剂残留物为透明, 有一点黏性, 对电器件性能无影响, 贴片厂家默认不清洗。

发货前确认: 嘉立创对焊接后的成品进行拍照, 提供给客户确认。

5

个性化服务^新

▼

特殊工艺

钢网特殊开口?

无要求

有要求 (需审核)

器件烘烤?

不需要

需要烘烤

器件焊料?

嘉立创推荐

Sn 64%、Bi 35%、Ag 1%(中温)

三防喷涂?

不需要

单面 (需审核)

双面 (需审核)

包装服务?

气泡膜包装

吸塑盒包装 (收费)

板面清洁?

不需要

需要 (收费)

发货前确认?

不需要

拍照确认 (需审核)

4.2.5.2 其他服务

器件二次加工: 比如在器件或者区域上增加隔离柱或散热器, 对器件管脚做弯折处理等。

IC 磨标: 激光磨掉 IC 上的标识;

分板出货: 在生产 PCB 时会多个板拼在一起或有工艺边。在贴片焊接后需要嘉立创分成小板出货。

特殊工艺要求:

详情链接: https://www.jlc.com/portal/server_guide_41221.html

| 其他服务

器件二次加工 ② ☒ 不需要 ☐ 填写加工说明 (需审核)

IC磨标 ② ☒ 不需要 ☐ 需要 (需审核)

分板出货 ② ☒ 不需要 ☐ 需要 (收费)

特殊工艺要求 ② ☒ 无要求 ☐ 填写工艺要求 (需审核)

[收起更多个性化服务 >](#)

4.2.6 点击下一步，BOM 匹配选型

信息详情

PCB文件	立创.泰山派开发板V1.0.0		
尺寸	4.5*7cm	拼版	待pcb审核
PCB片数	5 PCS	贴片数量	5 PCS
焊接层	顶层、底层全贴	产品类型	标准型
焊接插件料			

交期预估 -----

价格 匹配选型时计算



下一步, BOM匹配选型

4.2.7 确认贴片信息

再次确认贴片的数量，贴片的层，产品的类型，SMT 交期和坐标文件生成方式。

匹配的元器件不合适的情況下，可以選擇操作中的替換，進入元器件替換框，

BOM

全部元件(136)

私有库存(0)

嘉立创库存(114)

未匹配元件(2)

不贴的元件(20)

搜全部

搜位号

可搜索位号、封装、器件编号、基础Q

☒ 核对进度 20/135	顶层位号	1L	底层位号	1L	器件名称	1L	器件封装	1L	器件编号	1L	库类型	1L	用量	1L	私有库存	操作
☐			U7	1个器件			SOT-23-5		C907864		扩展库		使用: 7 库存: 7351 单价: ¥ 0.374		买1盘, 立省 ¥1.079 再送换料费券: ¥300 立即购买整盘	替换 邮寄 删除
☐	L1	1个器件			6.8uH ±20% ... 6.8uH		SMD, 4.2x...		C177241		扩展库		使用: 7 库存: 12790 单价: ¥ 0.587		买1盘, 立省 ¥1.834 再送换料费券: ¥300 立即购买整盘	替换 邮寄 删除
☐	R124	1个器件			厚膜电阻 9.1... 9.1kΩ		0402		C25926		扩展库		使用: 20 库存: 73038 单价: ¥ 0.0031		买1盘, 立省 ¥0.033 再送换料费券: ¥300 立即购买整盘	替换 邮寄 删除
☐			R1	1个器件	厚膜电阻 12... 120Ω		0402		C25079		基础库		使用: 20 库存: 282497 单价: ¥ 0.00317		买1盘, 立省 ¥0.026 再送换料费券: ¥300 立即购买整盘	替换 邮寄 删除

元件替换

No.

Quantity

Device

Designator识别为位号

Footprint识别为封装

Value识别为型号

ManufacturerPart

Manufacturer

SupplierPart识别为编号

Supplier

嘉立创元件编号

53

1

FXL0420-6R8-M

L1

IND-SMD_L4.4-W4.2

6.8uH

FXL0420-6R8-M

qiang(长江微电)

C177241

LCSC

C177241

搜索引擎

嘉立创SMT

立创商城

私有库

选择元器件库

BOM表提取的信息

6.8uH

搜索

搜索框

产品分类

电感/线圈/变压器 (1886)

电子工具/仪器/耗材 (1)

未分类 (34)

器件种类

品牌

3L COILS(三礼) (13)

ABC(千如) (7)

ABRACON (108)

API Delevan (2)

APV(爱普微) (4)

更多 >

多选

封装规格

SMD (466)

- (393)

1210 (59)

1008 (49)

0805 (47)

SMD, 6x6mm (47)

0603 (37)

更多 >

多选

元器件库类型

☐ 基础库(可预订, 0换料费)

☐ 扩展库(可预订, 20换料费)

☐ 优选合作料

筛选结果: 1921 每页10条 1/193 < >

综合排序

销量

价格

有货

排序方式

6.8uH ±20% 2.5A

型号: SMMS0420-6R8M

品牌: SXN(顺路诺)

封装: SMD

功率电感 扩展库

编号: C133194

数据手册与封装

价格 (含税价)

1+: ¥1.225

50+: ¥0.994

150+: ¥0.895

500+: ¥0.617

库存 (PCS)

您的私有库存: 0 PCS

可用库存数: 51727 PCS

其他

损耗数量: 2PCS

最小贴装数量: 5PCS

选用这个元件

邮寄这个元件

6.8uH ±20% 6A

型号: FXL0630-6R8-M

品牌: qiang(长江微电)

封装: SMD, 6x6mm

功率电感 扩展库

编号: C167221

数据手册与封装

价格 (含税价)

1+: ¥0.482

50+: ¥0.394

150+: ¥0.349

库存 (PCS)

您的私有库存: 0 PCS

可用库存数: 8167 PCS

其他

损耗数量: 2PCS

最小贴装数量: 2PCS

选用这个元件

邮寄这个元件

4.2.9.2 邮寄

当物料很特殊，商城没有相关物料时，可以选择邮寄这个物料到嘉立创。

BOM

全部元件(136)

私有库存(0)

嘉立创库存(114)

未匹配元件(2)

不贴的元件(20)

搜全部

搜位号

可搜索位号、封装、器件编号、基础Q

☒ 核对进度 20/135	顶层位号	1L	底层位号	1L	器件名称	1L	器件封装	1L	器件编号	1L	库类型	1L	用量	1L	私有库存	操作
☐			U7	1个器件			SOT-23-5		C907864		扩展库		使用: 7 库存: 7351 单价: ¥ 0.374		买1盘, 立省 ¥1.079 再送换料费券: ¥300 立即购买整盘	替换 邮寄 删除
☐	L1	1个器件			6.8uH ±20% ... 6.8uH		SMD, 4.2x...		C177241		扩展库		使用: 7 库存: 12790 单价: ¥ 0.587		买1盘, 立省 ¥1.834 再送换料费券: ¥300 立即购买整盘	替换 邮寄 删除
☐			R1	1个器件	厚膜电阻 12... 120Ω		0402		C25079		基础库		使用: 20 库存: 282497 单价: ¥ 0.00317		买1盘, 立省 ¥0.026 再送换料费券: ¥300 立即购买整盘	替换 邮寄 删除

4.2.9.3 删除

不需要贴这个物料，可选择删除，不贴装该元件。

BOM

全部元件(136)

私有库存(0)

嘉立创库存(114)

未匹配元件(2)

不贴的元件(20)

搜全部

搜位号

可搜索位号、封装、器件编号、基础

☒ 核对进度 20/135	顶层位号	底层位号	器件名称	器件封装	器件编号	库类型	用量	私有库存	操作
使用嘉立创库存的元器件(114)									
☐		U5 1个器件		SOT-23-5 SOT-23-5...	C55136 C55136 自动匹配	扩展库	使用: 7 库存: 1 ① 单价: ¥ 0.598 只贴当前库存	买1盘, 约省 ¥ 1.197 ② 再送换料费券: ¥ 300 立即预订整盘	替换 邮寄 删除
☒	LED1 1个器件			0603 LED0603-...	C72043 C72043 自动匹配	基础库	使用: 10 库存: 533450 单价: ¥ 0.168	买1盘, 立省 ¥ 0.742 ② 再送换料费券: ¥ 300 立即购买整盘	替换 邮寄 删除
☒	LED2 1个器件			0603 LED-SMD...	C375569 C375569 自动匹配	扩展库	使用: 7 库存: 39432 单价: ¥ 0.268	买1盘, 立省 ¥ 0.805 ② 再送换料费券: ¥ 300 立即购买整盘	替换 邮寄 删除

未匹配的元器件(2)

您可以通过[手动匹配器件]或[申请邮寄编号]来进行贴片

全部删除不贴

☐		K1、K2、... 4个器件		125X300	手动匹配器件(免费) 申请邮寄编号(收费) 删除不贴
☐		H1 1个器件		RK调试排针	手动匹配器件(免费) 申请邮寄编号(收费) 删除不贴

标记为不贴的元器件(19)

4.2.10 核对

BOM

全部元件(136)

私有库存(0)

嘉立创库存(114)

未匹配元件(2)

不贴的元件(20)

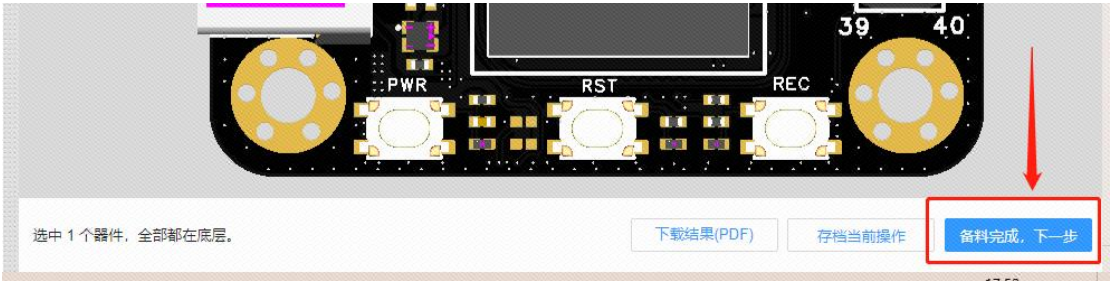
搜全部

搜位号

可搜索位号、封装、器件编号、基础

☒ 核对进度 129/135	顶层位号	底层位号	器件名称	器件封装	器件编号	库类型	用量	私有库存	操作
☒	R45 1个器件		厚膜电阻 12... 120kΩ	0402 R0402	C25750 C25750 自动匹配	扩展库 (优选合作料 ②)	使用: 20 库存: 147570 单价: ¥ 0.003	买1盘, 立省 ¥ 0.026 ② 再送换料费券: ¥ 300 立即购买整盘	替换 邮寄 删除
☒		U10 1个器件		SOT-23-6 SOT-23-6...	C82173 C82173 自动匹配	扩展库	使用: 5 库存: 1710 单价: ¥ 2.0796	买1盘, 约省 ¥ 4.483 ② 再送换料费券: ¥ 300 立即购买整盘	替换 邮寄 删除
☒		R48 1个器件	厚膜电阻 18... 180kΩ	0402 R0402	C138046 C138046 自动匹配	扩展库	使用: 20 库存: 86711 单价: ¥ 0.00382	买1盘, 立省 ¥ 0.034 ② 再送换料费券: ¥ 300 立即购买整盘	替换 邮寄 删除
☐	C141 1个器件	C1、C2、... 10个器件	4.7uF ±20% ... 4.7uF	0402 R0402	C307423 C307423 自动匹配	扩展库	使用: 75 库存: 5883135 单价: ¥ 0.0206	买1盘, 立省 ¥ 0.710 ② 再送换料费券: ¥ 300 立即购买整盘	替换 邮寄 删除
☐		R29 1个器件	厚膜电阻 1.6... 1.62kΩ	0402 R0402	C138038 C138038 自动匹配	扩展库	使用: 20 库存: 201 单价: ¥ 0.00381	买1盘, 约省 ¥ 0.030 ② 再送换料费券: ¥ 300 立即购买整盘	替换 邮寄 删除
☐	R72、R73... 4个器件		2.2Ω ±5% 10... 2.2Ω	0402 R0402	C412897 C412897 自动匹配	扩展库	使用: 25 库存: 929 单价: ¥ 0.0229	买1盘, 约省 ¥ 0.212 ② 再送换料费券: ¥ 300 立即购买整盘	替换 邮寄 删除
									替换

4.2.11 备料完成，下一步



4.2.12 确认下单

元器件费用 (含税价)	791.26元
工程费	300元
换料费	800元
治具费 ②	100元
特殊器件费 ②	5元
SMT焊盘费 ②	80.8元
插装焊盘费 ②	3元
X-RAY检查费用	100元
钢网费 ②	100元
包装费	3.05元
确认DFM服务费	3元
插装焊接工程费	20元
板面清洁费	5元
发货前确认费	50元
网络支付总费	2361.11元

[查看价格明细»](#)

温馨提示

①C107034,C15525...等, 共76种元件需求数量 小于 最小出库数量 ②

☒ 阅读并接受《SMT贴片焊接质量责任认定及承担的说明》

上一步

确认下单